

PATENT
81751.0069
Express Mail Label No. EV 324 111 344 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Akira MORITA

Serial No: Not assigned

Filed: December 2, 2003

For: Power Supply Method and Power
Supply Circuit

Art Unit: Not assigned

Examiner: Not assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2002-353795 which was filed December 5, 2002, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

By: 

Anthony J. Orler
Registration No. 41,232
Attorney for Applicant(s)

Date: December 2, 2003

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 5 日
Date of Application:

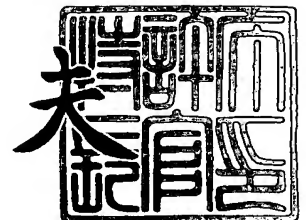
出 願 番 号 特 願 2 0 0 2 - 3 5 3 7 9 5
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 5 3 7 9 5]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 3 年 9 月 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫





【書類名】 特許願

【整理番号】 EP-0417001

【提出日】 平成14年12月 5日

【あて先】 特許庁長官殿

【国際特許分類】 G09F 9/35

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 森田 晶

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100090479

 【弁理士】

 【氏名又は名称】 井上 一

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090387

 【弁理士】

 【氏名又は名称】 布施 行夫

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090398

 【弁理士】

 【氏名又は名称】 大淵 美千栄

 【電話番号】 03-5397-0891



【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 電源供給方法及び電源回路

【特許請求の範囲】

【請求項 1】 複数の画素と、複数の走査線と、複数のデータ線とを有する表示パネルの前記複数のデータ線を駆動する駆動回路の高電位側及び低電位側の駆動電源電圧のうち高電位側の駆動電源電圧を供給するための電源供給方法であって、

所与の期間において、前記駆動回路によるデータ線への出力をハイインピーダンス状態に設定すると共に、該駆動回路に供給される駆動電源電圧を出力するレギュレータの電源線の寄生容量に、前記データ線から放電された電荷に対応する電荷を蓄積し、

前記所与の期間後に、前記寄生容量に蓄積された電荷により発生した電圧を前記電源線に出力し、前記駆動回路の高電位側の駆動電源電圧として前記レギュレータにより生成された電圧を前記駆動回路に供給することを特徴とする電源供給方法。

【請求項 2】 複数の画素と、複数の走査線と、複数のデータ線とを有する表示パネルの前記複数のデータ線を駆動する駆動回路の高電位側及び低電位側の駆動電源電圧のうち高電位側の駆動電源電圧を供給するための電源供給方法であって、

所与の期間において、前記駆動回路によるデータ線への出力をハイインピーダンス状態に設定すると共に、該駆動回路に供給される駆動電源電圧を出力するレギュレータの電源線にその一端が直接又は所定の素子を介して接続されるキャパシタに、前記データ線から放電された電荷に対応する電荷を蓄積し、

前記所与の期間後に、前記キャパシタに蓄積された電荷により発生した電圧を前記電源線に出力し、前記駆動回路の高電位側の駆動電源電圧として前記レギュレータにより生成された電圧を前記駆動回路に供給することを特徴とする電源供給方法。

【請求項 3】 複数の走査線と、



各データ線が第1～第3の色成分用のデータ信号を多重化して伝送される複数のデータ線と、

各画素が前記走査線のいずれか1つと前記データ線のいずれか1つとに接続される複数の画素と、

各デマルチプレクス用スイッチ素子が一端が各データ線に接続され他端が第 j ($1 \leq j \leq 3$ 、 j は整数)の色成分用の各画素に接続され、第1～第3のデマルチプレクス制御信号に基づいて排他的にスイッチ制御される第1～第3のデマルチプレクス用スイッチ素子を含む複数のデマルチプレクサと、

を有する表示パネルの前記複数のデータ線を駆動する駆動回路の高電位側及び低電位側の駆動電源電圧のうち高電位側の駆動電源電圧を供給するための電源供給方法であって、

所与の期間において、前記駆動回路によるデータ線への出力をハイインピーダンス状態に設定すると共に、前記第1～第3のデマルチプレクス制御信号により第1～第3のデマルチプレクス用スイッチ素子をオンに設定し、該駆動回路に供給される駆動電源電圧を出力するレギュレータの電源線の寄生容量に、前記データ線から放電された電荷に対応する電荷を蓄積し、

前記所与の期間後に、前記寄生容量に蓄積された電荷により発生した電圧を前記電源線に出力し、前記駆動回路の高電位側の駆動電源電圧として前記レギュレータにより生成された電圧を前記駆動回路に供給することを特徴とする電源供給方法。

【請求項4】 複数の走査線と、

各データ線が第1～第3の色成分用のデータ信号を多重化して伝送される複数のデータ線と、

各画素が前記走査線のいずれか1つと前記データ線のいずれか1つとに接続される複数の画素と、

各デマルチプレクス用スイッチ素子が一端が各データ線に接続され他端が第 j ($1 \leq j \leq 3$ 、 j は整数)の色成分用の各画素に接続され、第1～第3のデマルチプレクス制御信号に基づいて排他的にスイッチ制御される第1～第3のデマルチプレクス用スイッチ素子を含む複数のデマルチプレクサと、



を有する表示パネルの前記複数のデータ線を駆動する駆動回路の高電位側及び低電位側の駆動電源電圧のうち高電位側の駆動電源電圧を供給するための電源供給方法であって、

所与の期間において、前記駆動回路によるデータ線への出力をハイインピーダンス状態に設定すると共に、前記第 1 ～ 第 3 のデマルチプレクス制御信号により第 1 ～ 第 3 のデマルチプレクス用スイッチ素子をオンに設定し、該駆動回路に供給される駆動電源電圧を出力するレギュレータの電源線にその一端が直接又は所定の素子を介して接続されるキャパシタに、前記データ線から放電された電荷に対応する電荷を蓄積し、

前記所与の期間後に、前記キャパシタに蓄積された電荷により発生した電圧を前記電源線に出力し、前記駆動回路の高電位側の駆動電源電圧として前記レギュレータにより生成された電圧を前記駆動回路に供給することを特徴とする電源供給方法。

【請求項 5】 請求項 1 乃至 4 のいずれかにおいて、

前記所与の期間は、

前記データ線に接続される画素が有する画素電極と電気光学物質を介して対向する対向電極との電圧の極性を反転させるタイミングを含む期間であることを特徴とする電源供給方法。

【請求項 6】 複数の画素と、複数の走査線と、複数のデータ線とを有する表示パネルの前記複数のデータ線を駆動する駆動回路の高電位側及び低電位側の駆動電源電圧のうち低電位側の駆動電源電圧が供給される低電位側電源線からの電荷を利用して負電圧を供給するための電源供給方法であって、

所与の期間において、前記駆動回路によるデータ線への出力をハイインピーダンス状態に設定すると共に、負電圧を出力するレギュレータの低電位側の電源線の寄生容量に、データ線から放電される電荷に対応する電荷を蓄積し、

前記所与の期間後に、低電位側の駆動電源電圧として前記寄生容量に蓄積された電荷により発生した電圧に基づいて前記レギュレータにより生成された負電圧を出力することを特徴とする電源供給方法。

【請求項 7】 複数の画素と、複数の走査線と、複数のデータ線とを有する



表示パネルの前記複数のデータ線を駆動する駆動回路の高電位側及び低電位側の駆動電源電圧のうち低電位側の駆動電源電圧が供給される低電位側電源線からの電荷を利用して負電圧を供給するための電源供給方法であって、

所与の期間において、前記駆動回路によるデータ線への出力をハイインピーダンス状態に設定すると共に、負電圧を出力するレギュレータの低電位側の電源線にその一端が直接又は所定の素子を介して接続されるキャパシタに、データ線から放電された電荷に対応する電荷を蓄積し、

前記所与の期間後に、低電位側の駆動電源電圧として前記キャパシタに蓄積された電荷により発生した電圧に基づいて前記レギュレータにより生成された負電圧を出力することを特徴とする電源供給方法。

【請求項 8】 複数の走査線と、

各データ線が第 1 ～ 第 3 の色成分用のデータ信号を多重化して伝送される複数のデータ線と、

各画素が前記走査線のいずれか 1 つと前記データ線のいずれか 1 つとに接続される複数の画素と、

各デマルチプレクス用スイッチ素子が一端が各データ線に接続され他端が第 j ($1 \leq j \leq 3$ 、 j は整数) の色成分用の各画素に接続され、第 1 ～ 第 3 のデマルチプレクス制御信号に基づいて排他的にスイッチ制御される第 1 ～ 第 3 のデマルチプレクス用スイッチ素子を含む複数のデマルチプレクサと、

を有する表示パネルの前記複数のデータ線を駆動する駆動回路の高電位側及び低電位側の駆動電源電圧のうち低電位側の駆動電源電圧が供給される低電位側電源線からの電荷を利用して負電圧を供給するための電源供給方法であって、

所与の期間において、前記駆動回路によるデータ線への出力をハイインピーダンス状態に設定すると共に、前記第 1 ～ 第 3 のデマルチプレクス制御信号により第 1 ～ 第 3 のデマルチプレクス用スイッチ素子をオンに設定し、負電圧を出力するレギュレータの低電位側の電源線の寄生容量に、データ線から放電される電荷に対応する電荷を蓄積し、

前記所与の期間後に、低電位側の駆動電源電圧として前記寄生容量に蓄積された電荷により発生した電圧に基づいて前記レギュレータにより生成された負電圧



を出力することを特徴とする電源供給方法。

【請求項 9】 複数の走査線と、

各データ線が第 1 ～ 第 3 の色成分用のデータ信号を多重化して伝送される複数のデータ線と、

各画素が前記走査線のいずれか 1 つと前記データ線のいずれか 1 つとに接続される複数の画素と、

各デマルチプレクス用スイッチ素子が一端が各データ線に接続され他端が第 j ($1 \leq j \leq 3$ 、 j は整数) の色成分用の各画素に接続され、第 1 ～ 第 3 のデマルチプレクス制御信号に基づいて排他的にスイッチ制御される第 1 ～ 第 3 のデマルチプレクス用スイッチ素子を含む複数のデマルチプレクサと、

を有する表示パネルの前記複数のデータ線を駆動する駆動回路の高電位側及び低電位側の駆動電源電圧のうち低電位側の駆動電源電圧が供給される低電位側電源線からの電荷を利用して負電圧を供給するための電源供給方法であって、

所与の期間において、前記駆動回路によるデータ線への出力をハイインピーダンス状態に設定すると共に、前記第 1 ～ 第 3 のデマルチプレクス制御信号により第 1 ～ 第 3 のデマルチプレクス用スイッチ素子をオンに設定し、負電圧を出力するレギュレータの低電位側の電源線にその一端が直接又は所定の素子を介して接続されるキャパシタに、データ線から放電された電荷に対応する電荷を蓄積し、

前記所与の期間後に、低電位側の駆動電源電圧として前記キャパシタに蓄積された電荷により発生した電圧に基づいて前記レギュレータにより生成された負電圧を出力することを特徴とする電源供給方法。

【請求項 10】 請求項 6 乃至 9 のいずれかにおいて、

前記所与の期間において、前記駆動回路の入力信号を受け付けないことを特徴とする電源供給方法。

【請求項 11】 請求項 10 において、

前記入力信号が入力される入力バッファの出力を、前記駆動回路の低電位側の駆動電源電圧に固定することを特徴とする電源供給方法。

【請求項 12】 請求項 6 乃至 9 のいずれかにおいて、

前記所与の期間において、前記駆動回路を制御するコントローラが出力する前



記駆動回路に対する制御信号の出力を停止することを特徴とする電源供給方法。

【請求項 13】 請求項 12 において、

前記制御信号の出力を、前記コントローラの低電位側の電源電圧に固定することを特徴とする電源供給方法。

【請求項 14】 請求項 6 乃至 13 のいずれかにおいて、

前記所与の期間は、

前記データ線に接続される画素が有する画素電極と電気光学物質を介して対向する対向電極との電圧の極性を反転させるタイミングを含む期間であることを特徴とする電源供給方法。

【請求項 15】 複数の画素と、複数の走査線と、複数のデータ線とを有する表示パネルの前記複数のデータ線を駆動する駆動回路の高電位側及び低電位側の駆動電源電圧のうち高電位側の駆動電源電圧を供給するための電源回路であって、

その電源線に供給された第 1 の電圧を電源電圧として動作し、該第 1 の電圧又は該第 1 の電圧を分圧した分割電圧を入力電圧として該入力電圧に基づく調整電圧を出力するレギュレータと、

一端が前記駆動回路の駆動電源電圧が出力される出力ノードに接続され、他端が前記レギュレータの出力に接続される第 1 のスイッチ回路と、

一端が前記出力ノードに接続され、他端が前記電源線に接続される第 2 のスイッチ回路とを含み、

前記駆動回路による前記データ線への出力がハイインピーダンス状態に設定され、該データ線に接続される画素が有する画素電極と電気光学物質を介して対向する対向電極との電圧の極性を反転させるタイミングを含む所与の期間において、

前記第 1 のスイッチ回路がオフ、前記第 2 のスイッチ回路がオンとなり、前記データ線から放電された電荷に対応する電荷が前記電源線の寄生容量に蓄積され、

前記所与の期間後において、

前記第 1 のスイッチ回路がオン、前記第 2 のスイッチ回路がオフとなり、前記

寄生容量に蓄積された電荷により発生した電圧が電源電圧として供給された前記レギュレータにより、前記調整電圧が前記出力ノードに出力されることを特徴とする電源回路。

【請求項 16】 複数の画素と、複数の走査線と、複数のデータ線とを有する表示パネルの前記複数のデータ線を駆動する駆動回路の高電位側及び低電位側の駆動電源電圧のうち高電位側の駆動電源電圧を供給するための電源回路であって、

第 1 の電圧又は該第 1 の電圧を分圧した分割電圧を入力電圧として該入力電圧に基づく調整電圧を出力するレギュレータと、

一端が前記駆動回路の駆動電源電圧が出力される出力ノードに接続され、他端が前記レギュレータの出力に接続される第 1 のスイッチ回路と、

一端が前記出力ノードに接続される第 2 のスイッチ回路と、

一端が前記第 2 のスイッチ回路の他端に接続され、他端がシステム電源線に接続されるキャパシタと、

前記第 2 のスイッチ回路の他端と、前記レギュレータの電源電圧が供給される電源線との間に接続され、前記システム電源線から前記レギュレータの電源線への方向が順方向となるように接続されるダイオード素子とを含み、

前記駆動回路による前記データ線への出力がハイインピーダンス状態に設定され、該データ線に接続される画素が有する画素電極と電気光学物質を介して対向する対向電極との電圧の極性を反転させるタイミングを含む所与の期間において、

前記第 1 のスイッチ回路がオフ、前記第 2 のスイッチ回路がオンとなり、前記データ線から放電される電荷に対応する電荷が前記キャパシタに蓄積され、

前記所与の期間後において、

前記第 1 のスイッチ回路がオン、前記第 2 のスイッチ回路がオフとなり、前記キャパシタに蓄積された電荷により発生した電圧が電源電圧として供給された前記レギュレータにより、前記調整電圧が出力されることを特徴とする電源回路。

【請求項 17】 複数の画素と、複数の走査線と、複数のデータ線とを有する表示パネルの前記複数のデータ線を駆動する駆動回路の高電位側及び低電位側

の駆動電源電圧のうち低電位側の駆動電源電圧を供給する低電位側電源線からの電荷を利用して負電圧を出力する電源回路であって、

入力された負電圧に基づく調整電圧を出力するレギュレータと、

一端が前記駆動回路の低電位側の駆動電源電圧を出力する出力ノードに接続され、他端が前記電源回路の接地側電源電圧が供給されるシステム接地電源線に接続された第4のスイッチ回路と、

一端が前記出力ノードに接続され、他端が直接又は所定の素子を介して前記レギュレータの低電位側の電源線に接続された第5のスイッチ回路と、

前記駆動回路による前記データ線への出力がハイインピーダンス状態に設定され、該データ線に接続される画素が有する画素電極と電気光学物質を介して対向する対向電極との電圧の極性を反転させるタイミングを含む所与の期間において、

前記第4のスイッチ回路がオフ、前記第5のスイッチ回路がオンとなり、前記データ線から放電される電荷に対応する電荷が前記レギュレータの低電位側の電源線の寄生容量に蓄積され、

前記所与の期間後において、

前記第4のスイッチ回路がオン、前記第5のスイッチ回路がオフとなり、前記寄生容量に蓄積された電荷により発生した電圧が前記出力ノードに出力されることを特徴とする電源回路。

【請求項18】 複数の画素と、複数の走査線と、複数のデータ線とを有する表示パネルの前記複数のデータ線を駆動する駆動回路の高電位側及び低電位側の駆動電源電圧のうち低電位側の駆動電源電圧を供給する低電位側電源線からの電荷を利用して負電圧を出力する電源回路であって、

入力された負電圧に基づく調整電圧を出力するレギュレータと、

一端が前記駆動回路の低電位側の駆動電源電圧を出力する出力ノードに接続され、他端が前記電源回路の接地側電源電圧が供給されるシステム接地電源線に接続された第4のスイッチ回路と、

一端が前記出力ノードの接続された第5のスイッチ回路と、

一端が前記第5のスイッチ回路の他端に接続され、他端が接地されるキャパシ

タと、

前記レギュレータの低電位側の電源線と前記第 5 のスイッチ回路の他端との間に、前記レギュレータの低電位側の電源線から前記第 5 のスイッチ回路への方が順方向となるように接続されたダイオード素子とを含み、

前記駆動回路による前記データ線への出力がハイインピーダンス状態に設定され、該データ線に接続される画素が有する画素電極と電気光学物質を介して対向する対向電極との電圧の極性を反転させるタイミングを含む所与の期間において、

前記第 4 のスイッチ回路がオフ、前記第 5 のスイッチ回路がオンとなり、前記データ線から放電される電荷に対応する電荷が前記キャパシタに蓄積され、

前記所与の期間後において、

前記第 4 のスイッチ回路がオン、前記第 5 のスイッチ回路がオフとなり、前記キャパシタに蓄積された電荷により発生した電圧が前記出力ノードに出力されることを特徴とする電源回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、電源供給方法及び電源回路に係る。

【0 0 0 2】

【従来の技術】

従来より、携帯電話機などの電子機器に用いられる液晶パネル（広義には、表示パネル）として、単純マトリクス方式の液晶パネルと、薄膜トランジスタ（Thin Film Transistor：以下、T F T と略す）などのスイッチ素子を用いたアクティブマトリクス方式の液晶パネルとが知られている。

【0 0 0 3】

単純マトリクス方式は、アクティブマトリクス方式に比べて低消費電力化が容易である反面、多色化や動画表示が困難である。一方、アクティブマトリクス方式は、多色化や動画表示に適している反面、低消費電力化が困難である。

【0 0 0 4】

近年、携帯電話機などの携帯型電子機器では、高品質な画像の提供のために、多色化、動画表示への要望が強まっている。このため、これまで用いられてきた単純マトリクス方式の液晶パネルに代えて、アクティブマトリクス方式の液晶パネルが用いられるようになってきた。

【0005】

ところで、単純マトリクス方式の液晶パネルやアクティブマトリクス方式の液晶パネルでは、画素を構成する液晶への印加電圧が交流となるように駆動される。このような交流駆動の手法として、ライン反転駆動やフレーム反転駆動が知られている。ライン反転駆動では、1又は複数ラインごとに、液晶の印加電圧の極性が反転するように駆動される。フレーム反転駆動では、フレームごとに液晶の印加電圧の極性が反転するように駆動される。

【0006】

【特許文献1】

特開 2002-23709号公報

【0007】

【発明が解決しようとする課題】

液晶の印加電圧の極性を反転させる極性反転駆動では、液晶パネルのデータ線への電荷の充電と、データ線からの電荷の放電とが交互に繰り返される。その結果として、データ線から放電された電荷が、該データ線を駆動する駆動回路に戻される。

【0008】

駆動回路は、例えばボルテージフォロワ接続された演算増幅器によりデータ線を駆動する。駆動回路に戻された電荷は、この演算増幅器において、駆動回路の接地側電源線に戻される。その結果、該レギュレータにより再びデータ線を充電する必要が生じ、消費電力の増大を招く。

【0009】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、極性反転駆動によりデータ線から放電される電荷を利用して低消費電力化を図る電源供給方法及び電源回路を提供することにある。

【0010】

【課題を解決するための手段】

上記課題を解決するために本発明は、複数の画素と、複数の走査線と、複数のデータ線とを有する表示パネルの前記複数のデータ線を駆動する駆動回路の高電位側及び低電位側の駆動電源電圧のうち高電位側の駆動電源電圧を供給するための電源供給方法であって、所与の期間において、前記駆動回路によるデータ線への出力をハイインピーダンス状態に設定すると共に、該駆動回路に供給される駆動電源電圧を出力するレギュレータの電源線の寄生容量に、前記データ線から放電された電荷に対応する電荷を蓄積し、前記所与の期間後に、前記寄生容量に蓄積された電荷により発生した電圧を前記電源線に出力し、前記駆動回路の高電位側の駆動電源電圧として前記レギュレータにより生成された電圧を前記駆動回路に供給する電源供給方法に係する。

【0011】

ここで、データ線から放電された電荷とは、例えば極性反転駆動が行われたときに表示パネルのデータ線から流れる電荷である。

【0012】

本発明において、駆動回路によるデータ線への出力をハイインピーダンス状態に設定し、駆動回路の高電位側の駆動電源電圧を出力するレギュレータにより本来例えばシステム接地電源線に捨てられるデータ線から放電された電荷を、該レギュレータの電源線の寄生容量に蓄積するようにした。そして、寄生容量への電荷の蓄積後に、該寄生容量に蓄積された電荷により発生した電圧をレギュレータの電源線に出力し、駆動回路に対して高電位側の駆動電源電圧を供給する。

【0013】

したがって、本来捨てられるべき電荷を再利用して、駆動回路の高電位側の駆動電源電圧を供給することができるので、低消費電力化を図ることができる。

【0014】

また本発明は、複数の画素と、複数の走査線と、複数のデータ線とを有する表示パネルの前記複数のデータ線を駆動する駆動回路の高電位側及び低電位側の駆動電源電圧のうち高電位側の駆動電源電圧を供給するための電源供給方法であつ

て、所与の期間において、前記駆動回路によるデータ線への出力をハイインピーダンス状態に設定すると共に、該駆動回路に供給される駆動電源電圧を出力するレギュレータの電源線にその一端が直接又は所定の素子を介して接続されるキャパシタに、前記データ線から放電された電荷に対応する電荷を蓄積し、前記所与の期間後に、前記キャパシタに蓄積された電荷により発生した電圧を前記電源線に出力し、前記駆動回路の高電位側の駆動電源電圧として前記レギュレータにより生成された電圧を前記駆動回路に供給する電源供給方法に係る。

【0015】

ここで所定の素子とは、例えばダイオード素子やスイッチ素子などがある。

【0016】

本発明において、駆動回路によるデータ線への出力をハイインピーダンス状態に設定し、駆動回路の高電位側の駆動電源電圧を出力するレギュレータにより本来例えばシステム接地電源線に捨てられるデータ線から放電された電荷を、レギュレータの電源線にその一端が直接又は所定の素子を介して接続されるキャパシタに蓄積するようにした。したがって、キャパシタは、その他端に、データ線から放電される電荷を蓄積することができる。そして、キャパシタへの電荷の蓄積後に、キャパシタに蓄積された電荷により発生した電圧（キャパシタの両端部に発生した電圧）をレギュレータの電源線に出力し、駆動回路に対して高電位側の駆動電源電圧を供給する。

【0017】

したがって、本来捨てられるべき電荷を再利用して、駆動回路の高電位側の駆動電源電圧を供給することができるので、低消費電力化を図ることができる。

【0018】

また本発明は、複数の走査線と、各データ線が第1～第3の色成分用のデータ信号を多重化して伝送される複数のデータ線と、各画素が前記走査線のいずれか1つと前記データ線のいずれか1つとに接続される複数の画素と、各デマルチプレクス用スイッチ素子が一端が各データ線に接続され他端が第 j （ $1 \leq j \leq 3$ 、 j は整数）の色成分用の各画素に接続され、第1～第3のデマルチプレクス制御信号に基づいて排他的にスイッチ制御される第1～第3のデマルチプレクス用ス

スイッチ素子を含む複数のデマルチプレクサとを有する表示パネルの前記複数のデータ線を駆動する駆動回路の高電位側及び低電位側の駆動電源電圧のうち高電位側の駆動電源電圧を供給するための電源供給方法であって、所与の期間において、前記駆動回路によるデータ線への出力をハイインピーダンス状態に設定すると共に、前記第1～第3のデマルチプレクス制御信号により第1～第3のデマルチプレクス用スイッチ素子をオンに設定し、該駆動回路に供給される駆動電源電圧を出力するレギュレータの電源線の寄生容量に、前記データ線から放電された電荷に対応する電荷を蓄積し、前記所与の期間後に、前記寄生容量に蓄積された電荷により発生した電圧を前記電源線に出力し、前記駆動回路の高電位側の駆動電源電圧として前記レギュレータにより生成された電圧を前記駆動回路に供給する電源供給方法に関係する。

【0019】

ここで第 f ($1 \leq f \leq 3$ 、 f は整数)のデマルチプレクス用スイッチ素子をオンに設定するとは、第 f のデマルチプレクス用スイッチ素子を閉じることを意味する。すなわち、第 f のデマルチプレクス用スイッチ素子の両端の第 j の色成分用の画素と、データ線とが電氣的に接続されることを意味する。

【0020】

本発明は、例えば低温ポリシリコン (Low Temperature Poly-Silicon: LTPS) プロセスにより形成された表示パネルを駆動する駆動回路への電源供給に適用することができる。

【0021】

本発明においては、駆動回路によるデータ線への出力をハイインピーダンス状態に設定し、駆動回路の高電位側の駆動電源電圧を出力するレギュレータにより本来例えばシステム接地電源線に捨てられるデータ線から放電された電荷を、該レギュレータの電源線の寄生容量に蓄積するようにした。このとき、表示パネルの各デマルチプレクサに含まれる第1～第3のデマルチプレクス用スイッチ素子を全てオンにして、第1～第3の色成分用画素に接続されるデータ線から放電される電荷を放電させるようにしている。

【0022】

そして、寄生容量への電荷の蓄積後に、該寄生容量に蓄積された電荷により発生した電圧をレギュレータの電源線に出力し、駆動回路に対して高電位側の駆動電源電圧を供給する。

【0023】

したがって、LTPSプロセスにより形成された表示パネルに対しても、本来捨てられるべき電荷を再利用して、駆動回路の高電位側の駆動電源電圧を供給することができるので、低消費電力化を図ることができる。

【0024】

また本発明は、複数の走査線と、各データ線が第1～第3の色成分用のデータ信号を多重化して伝送される複数のデータ線と、各画素が前記走査線のいずれか1つと前記データ線のいずれか1つとに接続される複数の画素と、各デマルチプレクス用スイッチ素子が一端が各データ線に接続され他端が第 j ($1 \leq j \leq 3$ 、 j は整数)の色成分用の各画素に接続され、第1～第3のデマルチプレクス制御信号に基づいて排他的にスイッチ制御される第1～第3のデマルチプレクス用スイッチ素子を含む複数のデマルチプレクサとを有する表示パネルの前記複数のデータ線を駆動する駆動回路の高電位側及び低電位側の駆動電源電圧のうち高電位側の駆動電源電圧を供給するための電源供給方法であって、所与の期間において、前記駆動回路によるデータ線への出力をハイインピーダンス状態に設定すると共に、前記第1～第3のデマルチプレクス制御信号により第1～第3のデマルチプレクス用スイッチ素子をオンに設定し、該駆動回路に供給される駆動電源電圧を出力するレギュレータの電源線にその一端が直接又は所定の素子を介して接続されるキャパシタに、前記データ線から放電された電荷に対応する電荷を蓄積し、前記所与の期間後に、前記キャパシタに蓄積された電荷により発生した電圧を前記電源線に出力し、前記駆動回路の高電位側の駆動電源電圧として前記レギュレータにより生成された電圧を前記駆動回路に供給する電源供給方法に係する。

【0025】

本発明は、例えばLTPSプロセスにより形成された表示パネルを駆動する駆動回路への電源供給に適用することができる。

【0026】

本発明において、駆動回路によるデータ線への出力をハイインピーダンス状態に設定し、駆動回路の高電位側の駆動電源電圧を出力するレギュレータにより本来例えばシステム接地電源線に捨てられるデータ線から放電された電荷を、レギュレータの電源線にその一端が直接又は所定の素子を介して接続されるキャパシタに蓄積するようにした。したがって、キャパシタは、その他端に、データ線から放電される電荷を蓄積することができる。このとき、表示パネルの各デマルチプレクサに含まれる第1～第3のデマルチプレクス用スイッチ素子を全てオンにして、第1～第3の色成分用画素に接続されるデータ線から放電される電荷を放電させるようにしている。

【0027】

そして、キャパシタへの電荷の蓄積後に、キャパシタに蓄積された電荷により発生した電圧（キャパシタの両端部に発生した電圧）をレギュレータの電源線に出力し、駆動回路に対して高電位側の駆動電源電圧を供給する。

【0028】

したがって、LTPSプロセスにより形成された表示パネルに対しても、本来捨てられるべき電荷を再利用して、駆動回路の高電位側の駆動電源電圧を供給することができるので、低消費電力化を図ることができる。

【0029】

また本発明に係る電源供給方法では、前記所与の期間は、前記データ線に接続される画素が有する画素電極と電気光学物質を介して対向する対向電極との電圧の極性を反転させるタイミングを含む期間であってもよい。

【0030】

本発明によれば、極性反転駆動に伴って捨てられる電荷を再利用することができるので、極性反転駆動による表示品位の向上と共に低消費電力化を図ることができる。

【0031】

また本発明は、複数の画素と、複数の走査線と、複数のデータ線とを有する表示パネルの前記複数のデータ線を駆動する駆動回路の高電位側及び低電位側の駆

動電源電圧のうち低電位側の駆動電源電圧が供給される低電位側電源線からの電荷を利用して負電圧を供給するための電源供給方法であって、所与の期間において、前記駆動回路によるデータ線への出力をハイインピーダンス状態に設定すると共に、負電圧を出力するレギュレータの低電位側の電源線の寄生容量に、データ線から放電される電荷に対応する電荷を蓄積し、前記所与の期間後に、低電位側の駆動電源電圧として前記寄生容量に蓄積された電荷により発生した電圧に基づいて前記レギュレータにより生成された負電圧を出力する電源供給方法に関する。

【0032】

ここで、負電圧は、例えば複数の走査線を駆動する駆動回路に対して供給することができる。

【0033】

本発明において、駆動回路によるデータ線への出力をハイインピーダンス状態に設定し、データ線駆動回路の低電位側電源線に捨てられるべきであるデータ線から放電された電荷を、負電圧を出力するレギュレータの低電位側の電源線の寄生容量に蓄積するようにしている。そして、寄生容量への電荷の蓄積後に、該寄生容量に蓄積された電荷により発生した電圧をレギュレータの低電位側の電源線に供給し、負電圧を出力するようにしている。

【0034】

したがって、本来捨てられるべき電荷を再利用して、負電圧の生成に利用することができるので、低消費電力化を図ることができる。

【0035】

また本発明は、複数の画素と、複数の走査線と、複数のデータ線とを有する表示パネルの前記複数のデータ線を駆動する駆動回路の高電位側及び低電位側の駆動電源電圧のうち低電位側の駆動電源電圧が供給される低電位側電源線からの電荷を利用して負電圧を供給するための電源供給方法であって、所与の期間において、前記駆動回路によるデータ線への出力をハイインピーダンス状態に設定すると共に、負電圧を出力するレギュレータの低電位側の電源線にその一端が直接又は所定の素子を介して接続されるキャパシタに、データ線から放電された電荷に

対応する電荷を蓄積し、前記所与の期間後に、低電位側の駆動電源電圧として前記キャパシタに蓄積された電荷により発生した電圧に基づいて前記レギュレータにより生成された負電圧を出力する電源供給方法に係る。

【0036】

本発明において、駆動回路によるデータ線への出力をハイインピーダンス状態に設定し、データ線駆動回路の低電位側電源線に捨てられるべきであるデータ線から放電された電荷を、負電圧を出力するレギュレータの低電位側の電源線にその一端が直接又は所定の素子を介して接続されるキャパシタの他端に蓄積するようにしている。

【0037】

そして、キャパシタへの電荷の蓄積後に、該キャパシタに蓄積された電荷により発生した電圧をレギュレータの低電位側の電源線に供給し、負電圧を出力するようにしている。

【0038】

したがって、本来捨てられるべき電荷を再利用して、負電圧の生成に利用することができるので、低消費電力化を図ることができる。

【0039】

また本発明は、複数の走査線と、各データ線が第1～第3の色成分用のデータ信号を多重化して伝送される複数のデータ線と、各画素が前記走査線のいずれか1つと前記データ線のいずれか1つとに接続される複数の画素と、各デマルチプレクス用スイッチ素子が一端が各データ線に接続され他端が第 j ($1 \leq j \leq 3$ 、 j は整数)の色成分用の各画素に接続され、第1～第3のデマルチプレクス制御信号に基づいて排他的にスイッチ制御される第1～第3のデマルチプレクス用スイッチ素子を含む複数のデマルチプレクサとを有する表示パネルの前記複数のデータ線を駆動する駆動回路の高電位側及び低電位側の駆動電源電圧のうち低電位側の駆動電源電圧が供給される低電位側電源線からの電荷を利用して負電圧を供給するための電源供給方法であって、所与の期間において、前記駆動回路によるデータ線への出力をハイインピーダンス状態に設定すると共に、前記第1～第3のデマルチプレクス制御信号により第1～第3のデマルチプレクス用スイッチ素

子をオンに設定し、負電圧を出力するレギュレータの低電位側の電源線の寄生容量に、データ線から放電される電荷に対応する電荷を蓄積し、前記所与の期間後に、低電位側の駆動電源電圧として前記寄生容量に蓄積された電荷により発生した電圧に基づいて前記レギュレータにより生成された負電圧を出力する電源供給方法に係る。

【0040】

また本発明は、複数の走査線と、各データ線が第1～第3の色成分用のデータ信号を多重化して伝送される複数のデータ線と、各画素が前記走査線のいずれか1つと前記データ線のいずれか1つとに接続される複数の画素と、各デマルチプレクス用スイッチ素子が一端が各データ線に接続され他端が第 j ($1 \leq j \leq 3$ 、 j は整数)の色成分用の各画素に接続され、第1～第3のデマルチプレクス制御信号に基づいて排他的にスイッチ制御される第1～第3のデマルチプレクス用スイッチ素子を含む複数のデマルチプレクサとを有する表示パネルの前記複数のデータ線を駆動する駆動回路の高電位側及び低電位側の駆動電源電圧のうち低電位側の駆動電源電圧が供給される低電位側電源線からの電荷を利用して負電圧を供給するための電源供給方法であって、所与の期間において、前記駆動回路によるデータ線への出力をハイインピーダンス状態に設定すると共に、前記第1～第3のデマルチプレクス制御信号により第1～第3のデマルチプレクス用スイッチ素子をオンに設定し、負電圧を出力するレギュレータの低電位側の電源線にその一端が直接又は所定の素子を介して接続されるキャパシタに、データ線から放電された電荷に対応する電荷を蓄積し、前記所与の期間後に、低電位側の駆動電源電圧として前記キャパシタに蓄積された電荷により発生した電圧に基づいて前記レギュレータにより生成された負電圧を出力する電源供給方法に係る。

【0041】

本発明によれば、LTSPプロセスにより形成された表示パネルに対しても、本来捨てられるべき電荷を再利用して、負電圧を出力することができるので、低消費電力化を図ることができる。

【0042】

また本発明に係る電源供給方法では、前記所与の期間において、前記駆動回路

の入力信号を受け付けないようにすることができる。

【 0 0 4 3 】

本発明によれば、駆動回路の低電位側の駆動電源電圧が下がるため、上述の期間においてデータ線からの電荷の放電により、駆動回路への入力信号の論理レベルを誤って認識される事態を回避することができる。

【 0 0 4 4 】

また本発明に係る電源供給方法では、前記入力信号が入力される入力バッファの出力を、前記駆動回路の低電位側の駆動電源電圧に固定することができる。

【 0 0 4 5 】

本発明においては、低電位側の駆動電源電圧に固定することにより、駆動回路への入力信号が固定されることによるリークを抑えることができると共に、駆動回路を高耐圧プロセスを用いて形成する必要性がなくなる。

【 0 0 4 6 】

また本発明に係る電源供給方法では、前記所与の期間において、前記駆動回路を制御するコントローラが出力する前記駆動回路に対する制御信号の出力を停止することができる。

【 0 0 4 7 】

本発明においては、コントローラが上述の所与の期間を認識している場合には、駆動回路において入力信号の受け付けを行わないようにする構成を不要とすることができる。

【 0 0 4 8 】

また本発明に係る電源供給方法では、前記制御信号の出力を、前記コントローラの低電位側の電源電圧に固定することができる。

【 0 0 4 9 】

本発明においては、上述と同様に、コントローラが停止した制御信号のリークを抑えることができると共に、コントローラを高耐圧プロセスを用いて形成する必要性がなくなる。

【 0 0 5 0 】

また本発明に係る電源供給方法では、前記所与の期間は、前記データ線に接続

される画素が有する画素電極と電気光学物質を介して対向する対向電極との電圧の極性を反転させるタイミングを含む期間であってもよい。

【0051】

本発明によれば、極性反転駆動に伴って捨てられる電荷を再利用することができるので、極性反転駆動による表示品位の向上と共に低消費電力化を図ることができる。

【0052】

また本発明は、複数の画素と、複数の走査線と、複数のデータ線とを有する表示パネルの前記複数のデータ線を駆動する駆動回路の高電位側及び低電位側の駆動電源電圧のうち高電位側の駆動電源電圧を供給するための電源回路であって、その電源線に供給された第1の電圧を電源電圧として動作し、該第1の電圧又は該第1の電圧を分圧した分割電圧を入力電圧として該入力電圧に基づく調整電圧を出力するレギュレータと、一端が前記駆動回路の駆動電源電圧が出力される出力ノードに接続され、他端が前記レギュレータの出力に接続される第1のスイッチ回路と、一端が前記出力ノードに接続され、他端が前記電源線に接続される第2のスイッチ回路とを含み、前記駆動回路による前記データ線への出力がハイインピーダンス状態に設定され、該データ線に接続される画素が有する画素電極と電気光学物質を介して対向する対向電極との電圧の極性を反転させるタイミングを含む所与の期間において、前記第1のスイッチ回路がオフ、前記第2のスイッチ回路がオンとなり、前記データ線から放電された電荷に対応する電荷が前記電源線の寄生容量に蓄積され、前記所与の期間後において、前記第1のスイッチ回路がオン、前記第2のスイッチ回路がオフとなり、前記寄生容量に蓄積された電荷により発生した電圧が電源電圧として供給された前記レギュレータにより、前記調整電圧が前記出力ノードに出力される電源回路に関係する。

【0053】

また本発明は、複数の画素と、複数の走査線と、複数のデータ線とを有する表示パネルの前記複数のデータ線を駆動する駆動回路の高電位側及び低電位側の駆動電源電圧のうち高電位側の駆動電源電圧を供給するための電源回路であって、第1の電圧又は該第1の電圧を分圧した分割電圧を入力電圧として該入力電圧に

基づく調整電圧を出力するレギュレータと、一端が前記駆動回路の駆動電源電圧が出力される出力ノードに接続され、他端が前記レギュレータの出力に接続される第1のスイッチ回路と、一端が前記出力ノードに接続される第2のスイッチ回路と、一端が前記第2のスイッチ回路の他端に接続され、他端がシステム電源線に接続されるキャパシタと、前記第2のスイッチ回路の他端と、前記レギュレータの電源電圧が供給される電源線との間に接続され、前記システム電源線から前記レギュレータの電源線への方向が順方向となるように接続されるダイオード素子とを含み、前記駆動回路による前記データ線への出力がハイインピーダンス状態に設定され、該データ線に接続される画素が有する画素電極と電気光学物質を介して対向する対向電極との電圧の極性を反転させるタイミングを含む所与の期間において、前記第1のスイッチ回路がオフ、前記第2のスイッチ回路がオンとなり、前記データ線から放電される電荷に対応する電荷が前記キャパシタに蓄積され、前記所与の期間後において、前記第1のスイッチ回路がオン、前記第2のスイッチ回路がオフとなり、前記キャパシタに蓄積された電荷により発生した電圧が電源電圧として供給された前記レギュレータにより、前記調整電圧が出力される電源回路に関係する。

【0054】

また本発明は、複数の画素と、複数の走査線と、複数のデータ線とを有する表示パネルの前記複数のデータ線を駆動する駆動回路の高電位側及び低電位側の駆動電源電圧のうち低電位側の駆動電源電圧を供給する低電位側電源線からの電荷を利用して負電圧を出力する電源回路であって、入力された負電圧に基づく調整電圧を出力するレギュレータと、一端が前記駆動回路の低電位側の駆動電源電圧を出力する出力ノードに接続され、他端が前記電源回路の接地側電源電圧が供給されるシステム接地電源線に接続された第4のスイッチ回路と、一端が前記出力ノードに接続され、他端が直接又は所定の素子を介して前記レギュレータの低電位側の電源線に接続された第5のスイッチ回路と、前記駆動回路による前記データ線への出力がハイインピーダンス状態に設定され、該データ線に接続される画素が有する画素電極と電気光学物質を介して対向する対向電極との電圧の極性を反転させるタイミングを含む所与の期間において、前記第4のスイッチ回路がオ

フ、前記第5のスイッチ回路がオンとなり、前記データ線から放電される電荷に対応する電荷が前記レギュレータの低電位側の電源線の寄生容量に蓄積され、前記所与の期間後において、前記第4のスイッチ回路がオン、前記第5のスイッチ回路がオフとなり、前記寄生容量に蓄積された電荷により発生した電圧が前記出力ノードに出力される電源回路に係る。

【0055】

また本発明は、複数の画素と、複数の走査線と、複数のデータ線とを有する表示パネルの前記複数のデータ線を駆動する駆動回路の高電位側及び低電位側の駆動電源電圧のうち低電位側の駆動電源電圧を供給する低電位側電源線からの電荷を利用して負電圧を出力する電源回路であって、入力された負電圧に基づく調整電圧を出力するレギュレータと、一端が前記駆動回路の低電位側の駆動電源電圧を出力する出力ノードに接続され、他端が前記電源回路の接地側電源電圧が供給されるシステム接地電源線に接続された第4のスイッチ回路と、一端が前記出力ノードの接続された第5のスイッチ回路と、一端が前記第5のスイッチ回路の他端に接続され、他端が接地されるキャパシタと、前記レギュレータの低電位側の電源線と前記第5のスイッチ回路の他端との間に、前記レギュレータの低電位側の電源線から前記第5のスイッチ回路へ方向が順方向となるように接続されたダイオード素子とを含み、前記駆動回路による前記データ線への出力がハイインピーダンス状態に設定され、該データ線に接続される画素が有する画素電極と電気光学物質を介して対向する対向電極との電圧の極性を反転させるタイミングを含む所与の期間において、前記第4のスイッチ回路がオフ、前記第5のスイッチ回路がオンとなり、前記データ線から放電される電荷に対応する電荷が前記キャパシタに蓄積され、前記所与の期間後において、前記第4のスイッチ回路がオン、前記第5のスイッチ回路がオフとなり、前記キャパシタに蓄積された電荷により発生した電圧が前記出力ノードに出力される電源回路に係る。

【0056】

【発明の実施の形態】

以下、本発明の好適な実施の形態について図面を用いて詳細に説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不

当に限定するものではない。また以下で説明される構成の全てが本発明の必須構成要件であるとは限らない。以下の実施形態では、アクティブマトリクス方式の液晶パネルである TFT パネルを例に説明するが、本発明はこれに限定されるものではない。

【0057】

1. 液晶装置（電気光学装置）

図1に、液晶装置の構成の概要を示す。液晶装置は、携帯電話、携帯型情報機器（PDA等）、デジタルカメラ、プロジェクタ、携帯型オーディオプレーヤ、マスストレージデバイス、ビデオカメラ、電子手帳、又はGPS（Global Positioning System）などの種々の電子機器に組み込むことができる。

【0058】

図1において、液晶装置10は、液晶パネル20、データ線駆動回路（狭義にはソースドライバ）30、走査線駆動回路（狭義にはゲートドライバ）40、コントローラ50、電源回路60を含む。なお、液晶装置10にこれら全ての回路ブロックを含める必要はなく、その一部の回路ブロックを省略する構成にしてもよい。

【0059】

液晶パネル20は、複数の走査線（ゲート線）と、複数のデータ線（ソース線）と、各画素が複数の走査線のいずれかの走査線及び複数のデータ線のいずれかのデータ線により特定される複数の画素とを含む。各画素は、TFTと画素電極とを含む。データ線にはTFTが接続され、該TFTに画素電極が接続される。

【0060】

より具体的には、液晶パネル20は例えばガラス基板からなるパネル基板上に形成される。パネル基板には、図1のY方向に複数配列されそれぞれX方向に伸びる走査線 $GL_1 \sim GL_M$ （ M は2以上の整数）と、X方向に複数配列されそれぞれY方向に伸びるデータ線 $DL_1 \sim DL_N$ （ N は2以上の整数）とが配置されている。走査線 GL_m （ $1 \leq m \leq M$ 、 m は整数）とデータ線 DL_n （ $1 \leq n \leq N$ 、 n は整数）との交差点に対応する位置に画素 PE_{mn} が設けられている。画素 PE_{mn} は、 TFT_{mn} と画素電極とを含む。

【0061】

TFT_{mn} のゲート電極は走査線 G_m に接続される。 TFT_{mn} のソース電極はデータ線 DL_n に接続される。 TFT_{mn} のドレイン電極は画素電極に接続される。画素電極と、該画素電極と液晶素子（広義には電気光学物質）を介して対向する対向電極 COM （コモン電極）との間には、液晶容量 CL_{mn} 及び補助容量 CS_{mn} が形成されている。画素電極と対向電極 COM との間の電圧に応じて、液晶素子の透過率が変化するようにになっている。対向電極 COM に供給される電圧 V_{COM} は、電源回路 60 により生成される。

【0062】

データ線駆動回路 30 は、表示データに基づいて液晶パネル 20 のデータ線 $DL_1 \sim DL_N$ を駆動する。走査線駆動回路 40 は、液晶パネル 20 の走査線 $GL_1 \sim GL_M$ を走査する。

【0063】

コントローラ 50 は、図示しない中央処理装置（Central Processing Unit：以下、CPU と略す）等のホストにより設定された内容に従って、データ線駆動回路 30、走査線駆動回路 40 及び電源回路 60 に対して制御信号を出力する。より具体的には、コントローラ 50 は、データ線駆動回路 30 及び走査線駆動回路 40 に対しては、例えば動作モードの設定や内部で生成した水平同期信号や垂直同期信号を供給する。またコントローラ 50 は、電源回路 60 に対しては、対向電極 COM の電圧 V_{COM} の極性反転タイミングの制御を行う。

【0064】

電源回路 60 は、外部から供給される基準電圧に基づいて、液晶パネル 20 の各種電圧や、対向電極 COM の電圧 V_{COM} を生成する。より具体的には、電源回路 60 は、チャージポンプ回路を含み、接地側電源電圧を基準とした正方向及び負方向の複数の電源電圧と、対向電極 COM の電圧 V_{COM} とを生成することができる。接地側電源電圧を基準として負方向の電源電圧は、例えば走査線駆動回路 40 に対して出力される。

【0065】

電源回路 60 では、生成した複数の電源電圧と電圧 V_{COM} とが、それぞれレ

ギュレータ（電圧調整回路）により電圧調整される。そして、調整後の電圧が出力される。このようなレギュレータは、例えばボルテージフォロワ接続された演算増幅器により構成される。

【0066】

なお図1では、液晶装置10がコントローラ50を含む構成になっているが、コントローラ50を液晶装置10の外部に設けてもよい。或いは、コントローラ50と共にホスト（図示せず）を液晶装置10に含めるように構成してもよい。

【0067】

また走査線駆動回路40、コントローラ50及び電源回路60のうち少なくとも1つをデータ線駆動回路30に内蔵させてもよい。またデータ線駆動回路30、走査線駆動回路40、コントローラ50及び電源回路60の一部又は全部を液晶パネル20上に形成してもよい。

【0068】

ところで、液晶素子には、直流電圧を長時間印加すると劣化するという性質を有する。そこで、液晶素子に印加する電圧の極性を交互に反転させる駆動方式が必要になる。このような駆動方式としては、フレーム反転駆動、走査（ゲート）ライン反転駆動、データ（ソース）ライン反転駆動、ドット反転駆動などがある。

【0069】

図2に、走査ライン反転駆動の説明図を示す。例えば走査ライン反転駆動では、液晶素子に印加される電圧が走査期間毎（1又は複数の走査線ごと）に極性反転される。

【0070】

例えば、第 k （ $1 \leq k \leq M$ 、 k は整数）の走査期間（走査線 GL_k の選択期間）では正極性の電圧が液晶素子に印加され、第 $(k+1)$ の走査期間では負極性の電圧が印加され、第 $(k+2)$ の走査期間では正極性の電圧が印加される。一方、次のフレームにおいては、今度は、第 k の走査期間では負極性の電圧が液晶素子に印加され、第 $(k+1)$ の走査期間では正極性の電圧が印加され、第 $(k+2)$ の走査期間では負極性の電圧が印加されるようになる。

【0071】

そして、この走査ライン反転駆動では、対向電極COMの電圧（コモン電圧）VCOMが走査期間ごとに極性反転される。

【0072】

より具体的には、正極の期間T1（第1の期間）ではコモン電圧VCOMはVC1（第1のコモン電圧）になり、負極の期間T2（第2の期間）ではVC2（第2のコモン電圧）になる。

【0073】

ここで、正極の期間T1は、データ線（画素電極）の電圧VSがコモン電圧VCOMよりも高くなる期間である。この期間T1では液晶素子に正極性の電圧が印加されることになる。一方、負極の期間T2は、データ線の電圧VSがコモン電圧VCOMよりも低くなる期間である。この期間T2では液晶素子に負極性の電圧が印加されることになる。また、電圧VC2は、所与の電圧を基準として電圧VC1を極性反転した電圧である。

【0074】

このようにコモン電圧VCOMを極性反転することで、液晶パネルの駆動に必要な電圧を低くすることができる。これにより、駆動回路の耐圧を低くでき、駆動回路の製造プロセスの簡素化、低コスト化を図ることができる。

【0075】**1. 1 第1の実施形態**

ところで、上述のような極性反転駆動では、データ線の充電と、データ線の放電とが交互に繰り返される。その結果として、データ線から放電された電荷は、データ線駆動回路30の電源線に戻される。したがって、データ線に対して再度電荷を供給する必要が生じ、消費電力の増大を招く。

【0076】

以下では、この点について説明する。

【0077】

まず、データ線駆動回路30の構成について説明する。

【0078】

図 3 に、データ線駆動回路 30 の構成例を示す。データ線駆動回路 30 には、高電位側の駆動電源電圧 $V_{DD S}$ が供給される高電位側電源線と、低電位側の駆動電源電圧 $V_{SS S}$ が供給される低電位側（接地側）電源線とが接続される。高電位側及び低電位側の駆動電源電圧 $V_{DD S}$ 、 $V_{SS S}$ は、電源回路 60 により生成される。

【0079】

データ線駆動回路 30 は、データラッチ 31、レベルシフタ（Level Shifter：L/S）32、基準電圧発生回路 33、電圧選択回路（Digital-to-Analog Converter：DAC）34、出力回路 35 を含む。

【0080】

データラッチ 31 は、表示データをラッチする。表示データは、データ線単位に区分される複数の階調データを含んで構成される。L/S 32 は、データラッチ 31 の出力の電圧レベルをシフトする。

【0081】

基準電圧発生回路 33 は、高電位側の駆動電源電圧 $V_{DD S}$ と低電位側の駆動電源電圧 $V_{SS S}$ との間の電圧を分割した複数の基準電圧を発生する。基準電圧発生回路 33 は、例えば両端に高電位側の駆動電源電圧 $V_{DD S}$ と低電位側の駆動電源電圧 $V_{SS S}$ とが接続されたラダー抵抗を含んで構成される。この場合、ラダー抵抗の複数の電圧分割端子から基準電圧が発生される。各基準電圧は、階調データに対応した階調電圧になる。

【0082】

DAC 34 は、基準電圧発生回路 33 により生成された複数の基準電圧を用いて、L/S 32 からの出力をアナログ階調電圧に変換する。より具体的には、DAC 34 は、階調データをデコードし、デコード結果に基づいて複数の基準電圧のいずれかを選択する。DAC 34 において選択された基準電圧は、アナログ階調電圧として出力回路 35 に出力される。

【0083】

出力回路 35 は、DAC 34 からのアナログ階調電圧に基づいてデータ線 $DL_1 \sim DL_N$ を駆動する。このような出力回路 35 では、インピーダンス変換回路

としてのボルテージフォロワ接続された演算増幅器がデータ線単位に設けられる。

【0084】

図4に、データ線駆動回路30の構成要部を示す。図4においては、データ線DL_nを駆動するデータ線駆動回路30の要部を示している。

【0085】

データ線DL_nに対応する階調データは、DAC34_nによりアナログ階調電圧に変換される。アナログ階調電圧は、出力回路35_nに入力される。出力回路35_nは、ボルテージフォロワ接続された演算増幅器OPAMP_nを含む。出力回路35_nは、ボルテージフォロワ接続された演算増幅器OPAMP_nによりデータ線DL_nを駆動する。

【0086】

出力回路35_nは、イネーブル信号ENにより、イネーブル状態又はディセーブル状態に設定される。出力回路35_nは、イネーブル信号ENによりディセーブル状態に設定されているとき、その出力をハイインピーダンス状態に設定する。またイネーブル状態に設定された出力回路35_nにより駆動されたデータ線DL_nには、階調データに対応した電圧が印加される。

【0087】

しかしながら、上述の極性反転駆動によりコモン電極COMの電圧VCOMが交互に電圧VC1、VC2となることにより、液晶素子に印加される電圧の極性が反転される。その結果、極性反転タイミングに合わせてデータ線DL_nに蓄積された電荷が放電されることになる。

【0088】

より具体的には、ボルテージフォロワ接続された演算増幅器OPAMP_nが、高電位側の駆動電源電圧VDD_Sと低電位側の駆動電源電圧VSS_Sとの間の電圧を動作電圧として動作するものとする、極性反転タイミングに合わせて、高電位側の駆動電源電圧VDD_Sが供給される高電位側電源線又は低電位側の駆動電源電圧VSS_Sが供給される低電位側電源線に、データ線DL_nに蓄積された電荷が戻されることになる。

【0089】

図5に、データ線から放電される場合について説明する図を示す。まず、コモン電極の電圧 V_{COM} は、電圧 V_{C1} であるものとする。図4に示すようにデータ線 DL_n は、データ線駆動回路30の出力回路35_nにより駆動される。

【0090】

そして、データ線 DL_n が充電され(t_1)、例えばデータ線 DL_n の電圧が5Vになる。そして、走査線 GL_m が選択されて $TF T_{mn}$ がオンになり、 $TF T_{mn}$ に接続された画素電極にデータ線 DL_n の電圧が書き込まれた後、 $TF T_{mn}$ がオフとなる(t_2)。

【0091】

極性反転タイミング t_3 において、コモン電極の電圧 V_{COM} が電圧 V_{C1} （「L」レベル）から電圧 V_{C2} （「H」レベル）に変化すると、データ線 DL_n の電圧が相対的に電圧($V_{C2} - V_{C1}$)だけ上がる(t_4)。例えば期間 t_1 においてデータ線 DL_n の電圧が5Vになり、電圧 V_{C1} が0V、電圧 V_{C2} が5Vとすると、極性反転タイミング t_3 以降の期間 t_4 において、データ線 DL_n の電圧は10Vとなる。

【0092】

ところがデータ線 DL_n を駆動するデータ線駆動回路30の出力回路35_nは、基準電圧より高い電圧が印加された信号線の電荷を低電位側の電源線に抜くように構成されている。図4に示すように、データ線 DL_n がボルテージフォロワ接続された演算増幅器 $OPAMP_n$ により駆動される場合、データ線 DL_n の電圧が入力される信号の電圧より高くなると、データ線 DL_n と、低電位側の駆動電源電圧 V_{SSS} が供給される低電位側電源線とが電氣的に接続される。したがって、データ線 DL_n から放電された電荷は、低電位側電源線に抜ける。

【0093】

図6に、ボルテージフォロワ接続された演算増幅器 $OPAMP_n$ の構成例を示す。ボルテージフォロワ接続された演算増幅器 $OPAMP_n$ の入力電圧 V_{in} として、アナログ階調電圧が入力される。またボルテージフォロワ接続された演算増幅器 $OPAMP_n$ の出力電圧 V_{out} は、データ線 DL_n に出力される。ボル

テージフォロワ接続された演算増幅器 $OPAMP_n$ は、差動増幅部 41_n と、出力部 42_n とを含む。

【0094】

出力電圧 V_{out} が入力電圧 V_{in} より高い場合には、出力部 42_n の p 型トランジスタ 44 がオフとなる。したがって、イネーブル信号 EN によりオン状態となる n 型トランジスタ 46 により構成される定電流源を介して、出力電圧 V_{out} が印加される出力信号線が、低電位側電源線と電氣的に接続される。

【0095】

このようにデータ線 DL_n がボルテージフォロワ接続された演算増幅器 $OPAMP_n$ により駆動される場合、図 5 に示すように出力電圧であるデータ線 DL_n の電圧が入力される信号の電圧より高くなると、低電位側の駆動電源電圧 V_{SS} が供給される低電位側電源線に電荷が抜け、データ線 DL_n の電圧を高電位側電源線に供給される高電位側の駆動電源電圧 V_{DD} に戻してしまう (t_5)。そのため、図 5 において斜線部 70 のデータ線 DL_n から放電される電荷に対応した電力が無駄に消費されてしまい、消費電力の増大を招く。

【0096】

そこで第 1 の実施形態では、電源回路 60 を以下のように構成することで、データ線 DL_n から放電される電荷の再利用を図り、消費電力の削減を実現する。

【0097】

すなわち、第 1 の実施形態では、極性反転タイミングを含む所与の期間において、出力回路 35_n の出力がハイインピーダンス状態に設定される。すると、データ線 DL_n から放電された電荷は、出力信号線に蓄積される。そのため、該出力信号線の電圧が上がる。

【0098】

ところが、データ線駆動回路 30 の出力端子には、出力保護回路 48_n が接続されている。出力保護回路 48_n は、ダイオード素子又はトランジスタによって構成されている。そのため、出力信号線に蓄積された電荷が、高電位側電源線に抜ける。その結果、データ線駆動回路 30 の高電位側の駆動電源電圧が上がる。

【0099】

データ線駆動回路 30 の高電位側の駆動電源電圧は、電源回路 60 からの高電位側電源線を介して供給される。電源回路 60 は、高電位側電源線に対し、レギュレータにより高電位側の駆動電源電圧を供給する。このレギュレータは、例えば上述のボルテージフォロワ接続された演算増幅器により構成される場合、上述のように電圧が上がった高電位側の駆動電源電圧をそのまま該演算増幅器の出力に戻してしまうと、やはり電源回路 60 の接地側電源線に電荷を戻してしまい、消費電力の増大を招く。

【0100】

そのため、第 1 の実施形態における電源回路 60 では、スイッチ回路を設けて、高電位側電源線の電荷を蓄積し、蓄積した電荷を利用して、該高電位側電源線を駆動するレギュレータに対して電源電圧を供給する。こうすることで、図 5 に示す斜線部 70 に相当する電力の消費を抑えることができる。

【0101】

図 7 に、第 1 の実施形態における電源回路 60 の構成の概要を示す。電源回路 60 は、電圧発生回路 62 と、電圧調整回路としてのレギュレータ 64 と、第 1 及び第 2 のスイッチ回路 SW1、SW2 とを含む。

【0102】

電圧発生回路 62 は、例えばシステム電源電圧 VDD としての第 1 の電圧が供給された電源線と、例えばシステム接地電源電圧 VSS が供給された接地電源線との間に接続されたラダー抵抗を含む。ラダー抵抗の電圧分割端子からは、各種電源電圧が取り出される。図 7 においては、1 つの電圧分割端子から取り出された電源電圧がレギュレータ 64 の入力となるように接続されているが、レギュレータ 64 の入力を第 1 の電圧とするように構成してもよい。

【0103】

レギュレータ 64 は、図 6 に示した差動増幅部及び出力部を有するボルテージフォロワ接続された演算増幅器により構成される。レギュレータ 64 は、データ線駆動回路 30 の高電位側電源線を駆動する。

【0104】

高電位側電源線に接続される電源回路 60 の出力ノード ND には、第 1 及び第

2のスイッチ回路SW1、SW2が接続される。第1のスイッチ回路SW1の他端は、レギュレータ64の出力に接続される。第2のスイッチ回路SW2の他端は、第1の電圧が供給される電源線に接続される。第1のスイッチ回路SW1は、SW1制御信号によりオン・オフ制御される。第2のスイッチ回路SW2は、SW2制御信号によりオン・オフ制御される。

【0105】

第1の実施形態における電源回路60では、出力ノードNDをレギュレータ64の電源電圧が供給される信号線（電源線）に接続し、高電位側電源線に蓄積された電荷を該電源線の寄生容量 C_0 に蓄積することができる。ここで、寄生容量 C_0 は、電源線と、所定の信号線又は基板との間に形成される容量ということもできる。

【0106】

図8に、第1及び第2のスイッチ回路SW1、SW2の制御タイミングの一例を示す。極性反転タイミングを含む期間TM1（所与の期間）では、データ線駆動回路30の出力回路35_nの出力がハイインピーダンス状態にされる。より具体的には、極性反転タイミングのうち、対向電極COMの電圧VCOMが「L」レベルから「H」レベルに変化するタイミングを含む期間TM1では、データ線駆動回路30の出力回路35_nの出力がハイインピーダンス状態にされる。これにより、データ線の放電が行われ、データ線駆動回路30の高電位側電源線の電圧が上がる。

【0107】

そこで、該期間TM1において、SW1制御信号により第1のスイッチ回路SW1をオフに設定し、かつSW2制御信号により第2のスイッチ回路SW2をオンに設定する。これにより、出力ノードNDとレギュレータ64の電源線とが電氣的に接続される。したがって、高電位側電源線の電荷が、電源線の寄生容量 C_0 に蓄積される。

【0108】

そして、該期間TM1以降において、SW1制御信号により第1のスイッチ回路SW1をオンに設定し、かつSW2制御信号により第2のスイッチ回路SW2

をオフに設定する。これにより、出力ノードNDとレギュレータ64の電源線とが電氣的に遮断されると共に、出力ノードNDとレギュレータ64の出力とが電氣的に接続される。レギュレータ64は、電源線の寄生容量 C_0 により発生した電圧により、電圧発生回路62の分割電圧に基づいて高電位側電源線を駆動する。

【0109】

なお所与の期間は、極性タイミングの前の所定の期間と、極性タイミングの後の所定の期間のうち、少なくとも一方を含むことができる。

【0110】

こうすることで、極性反転駆動により本来接地側に捨てられる電荷を再利用して、消費電力を削減することができる。

【0111】

1. 2 変形例

図7においては、高電位電源線の電荷を、レギュレータ64の電源電圧が供給される信号線（電源線）の寄生容量に蓄積させるようにしていたが、これに限定されるものではない。本変形例における電源回路では、第2のスイッチ回路SW2の他端と、システム電源電圧VDDが供給されるシステム電源線との間にキャパシタCを設け、該キャパシタCに高電位電源線の電荷を蓄積させるように構成される。

【0112】

図9に、本変形例における電源回路の構成例を示す。ただし、図7に示す電源回路60と同一部分には同一符号を付し、適宜説明を省略する。本変形例における電源回路100が図7に示す電源回路60と異なる点は、第3のスイッチ回路SW3、キャパシタC及びダイオード素子（所定の素子）102を含む点である。

【0113】

第3のスイッチ回路SW3は、第2のスイッチ回路SW2の他端とレギュレータ64の電源線との間に接続される。第3のスイッチ回路SW3は、SW3制御信号によりオン・オフ制御される。

【0114】

キャパシタ C は、第 2 のスイッチ回路 SW 2 の他端とシステム電源線との間に接続される。システム電源線は、システム電源 VDD が供給される電源線である。システム電源線は、またレギュレータの電源電圧を供給するための信号線ということもできる。

【0115】

ダイオード素子 102 は、システム電源線とレギュレータ 64 の電源線との間に接続される。より具体的には、ダイオード素子 102 は、システム電源線からレギュレータ 64 の電源線の方向が順方向となるように接続される。

【0116】

図 10 に、第 1 ～ 第 3 のスイッチ回路 SW 1 ～ SW 3 の制御タイミングの一例を示す。第 1 及び第 2 のスイッチ回路 SW 1、SW 2 の制御タイミングは、図 8 と同様である。SW 3 制御信号は、SW 1 制御信号と同じタイミングで変化する。

【0117】

すなわち、期間 TM 1 において、SW 1 制御信号により第 1 及び第 3 のスイッチ回路 SW 1、SW 3 をオフに設定し、かつ SW 2 制御信号により第 2 のスイッチ回路 SW 2 をオンに設定する。これにより、電圧が上がった出力ノード ND の電荷が、キャパシタ C に蓄積される。

【0118】

そして、該期間 TM 1 以降において、SW 1 制御信号及び SW 3 制御信号により第 1 及び第 3 のスイッチ回路 SW 1、SW 3 をオンに設定し、かつ SW 2 制御信号により第 2 のスイッチ回路 SW 2 をオフに設定する。これにより、キャパシタ C により発生した電圧が、レギュレータ 64 の電源線に供給される。レギュレータ 64 は、キャパシタ C により発生した電圧により、電圧発生回路 62 の分割電圧に基づいて高電位側電源線を駆動する。こうすることで、極性反転駆動により本来接地側に捨てられる電荷を再利用して、消費電力を削減することができる。

【0119】

なお、図 11 に示すように第 3 のスイッチ回路 SW3 を省略する構成にすることも可能である。この場合、ダイオード素子 102 を介してキャパシタ C の両端が接続される。したがって、キャパシタ C に高電位側電源線の電荷を蓄積することが可能となる。

【0120】

1. 3 第 2 の実施形態

第 2 の実施形態では、以下に述べる構成を第 1 の実施形態の構成に代える又は加えることにより、本来捨てられる電荷を利用して、例えば走査線駆動回路 40 に供給される負電圧を生成する。

【0121】

第 1 の実施形態では、コモン電極 COM の電圧 VCOM が「L」レベルから「H」レベルに変化するときにデータ線駆動回路の高電位側電源線に放電されるデータ線の電荷が蓄積される。これに対して第 2 の実施形態における以下の構成では、コモン電極の電圧 VCOM が「H」レベルから「L」レベルに変化するときにデータ線駆動回路の低電位側電源線に放電されるデータ線の電荷が蓄積される。そして、低電位側電源線に放電されるデータ線の電荷を、負電圧の生成に再利用する。

【0122】

図 12 に、第 2 の実施形態における電源回路及びデータ線駆動回路の構成の要部を示す。ただし、図 1 に示す液晶パネル 20 及び走査線駆動回路 40 と同一部分には同一符号を付し、適宜説明を省略する。またデータ線駆動回路 250 は、図 3 に示すデータ線駆動回路 30 の各部を含む。

【0123】

第 2 の実施形態における電源回路 200 は、走査線駆動回路 40 に対して接地電源電位に対して負側の電圧（負電圧）を出力することができる。そのため電源回路 200 は、チャージポンプ 210 と、レギュレータ 220 とを含む。

【0124】

チャージポンプ 210 は、接地電源電位を基準として正側の所与の基準電圧 V_{N0} を、図示しない昇圧クロックに基づいて負方向に昇圧して負電圧 V_N を生成

する。

【0125】

レギュレータ 220 は、高電位側及び低電位側の電源線の電位差を動作電源電圧とする。レギュレータ 220 の高電位側の電源線は、システム接地電源線である。レギュレータ 220 の低電位側の電源線は、チャージポンプ 210 の出力電圧である負電圧 V_N が供給される信号線である。レギュレータ 220 は、高電位側及び低電位側の電源線の電圧を抵抗分割した所与の分割電圧を入力とし、その調整電圧を走査線駆動回路 40 に対して出力する。

【0126】

電源回路 200 は、第 4 及び第 5 のスイッチ回路 SW4、SW5 を含む。第 4 のスイッチ回路 SW4 は、データ線駆動回路 250 及び走査線駆動回路 40 の低電位側の駆動電源電圧 V_{SSS} が供給される低電位側電源線と、システム接地電源電圧 V_{SS} が供給された接地電源線との間に挿入される。第 5 のスイッチ回路 SW5 は、データ線駆動回路 250 及び走査線駆動回路 40 に接続される低電位側電源線と、ダイオード素子（所定の素子）222 の一端との間に挿入される。ダイオード素子 222 の他端は、レギュレータ 220 の低電位側の電源線（チャージポンプ 210 の出力）に接続される。ダイオード素子 222 は、レギュレータ 220 の低電位側の電源線から第 5 のスイッチ回路 SW5 への方が順方向となるように接続される。これにより、キャパシタ C1 の一端には、ほぼレギュレータ 220 の低電位側の電源線の電圧が供給される。

【0127】

第 4 のスイッチ回路 SW4 は、SW4 制御信号によりオン・オフ制御される。第 5 のスイッチ回路 SW5 は、SW5 制御信号によりオン・オフ制御される。

【0128】

第 2 の実施形態においても第 1 の実施形態と同様に、極性反転タイミングを含む所与の期間において、データ線駆動回路 250 の出力回路の出力がハイインピーダンス状態に設定される。すると、コモン電極 COM の電圧 V_{COM} が「H」レベルから「L」レベルに変化し、データ線 DL_n から放電され、出力信号線の電圧が下がる。

【0129】

ところが、データ線駆動回路250の出力端子に接続される出力保護回路によって、出力信号線に蓄積された電荷が、低電位側電源線に抜ける。その結果、データ線駆動回路の低電位側の駆動電源電圧が下がる。

【0130】

データ線駆動回路250の低電位側の駆動電源電圧は、電源回路200からの低電位側電源線を介して供給される。そのため、第2の実施形態における電源回路200では、スイッチ回路を設けて低電位側電源線に放電される電荷を蓄積し、蓄積した電荷を、負電圧を出力するレギュレータ220の低電位側の電源に利用する。

【0131】

図13に、第4及び第5のスイッチ回路SW4、SW5の制御タイミングの一例を示す。極性反転タイミングを含む期間TM2（所与の期間）では、データ線駆動回路250の出力回路の出力がハイインピーダンス状態にされる。より具体的には、極性反転タイミングのうち、対向電極COMの電圧VCOMが「H」レベルから「L」レベルに変化するタイミングを含む期間TM2では、データ線駆動回路250の出力回路の出力がハイインピーダンス状態にされる。これにより、データ線駆動回路250の低電位側電源線の電圧が下がる。

【0132】

そこで、該期間TM2において、SW4制御信号により第4のスイッチ回路SW4をオフに設定し、かつSW5制御信号により第5のスイッチ回路SW5をオンに設定する。これにより、低電位側電源線とキャパシタC1とが電氣的に接続される。したがって、低電位側電源線の電荷が、キャパシタC1に蓄積される。

【0133】

そして、該期間TM2以降において、SW4制御信号により第4のスイッチ回路SW4をオンに設定し、かつSW5制御信号により第5のスイッチ回路SW5をオフに設定する。これにより、キャパシタC1により発生した電圧がレギュレータ220の低電位側の電源線に印加される。

【0134】

なお所与の期間は、極性タイミングの前の所定の期間と、極性タイミングの後の所定の期間のうち、少なくとも一方を含むことができる。

【0135】

こうすることで、極性反転駆動により本来接地側に捨てられる電荷を再利用して、消費電力を削減することができる。

【0136】

なおキャパシタC1、ダイオード素子222を省略して、第5のスイッチ回路SW5が、走査線駆動回路40及びデータ線駆動回路250に接続される低電位側電源線とレギュレータ220の低電位側の電源線との間に接続される構成にしてもよい。この場合、レギュレータ220の低電位側の電源線の寄生容量に、低電位側電源線に放電された電荷が蓄積される。

【0137】

なおデータ線駆動回路250が、いわゆるトリプルウェル構造で形成される場合には、接地電源電位よりも負側の電圧を生成することができる。したがって、上述の構成で電荷の再利用を図ることができる。

【0138】

しかしながら、データ線駆動回路250が、いわゆるツインウェル構造で形成される場合には、接地電源電位よりも負側の電圧を生成することができない。そのため、データ線駆動回路250に外部から入力される信号の論理レベルが「L」の場合、データ線駆動回路250の内部で認識される論理レベルが変わってしまう場合がある。そこで、データ線駆動回路250では、入力制御回路252を含む。

【0139】

図14に、入力制御回路252の構成例を示す。

【0140】

入力制御回路252は、バッファ回路254と、ラッチ回路256とを含む。バッファ回路254は、マイナスインプリチャージ信号mpによりイネーブル制御される。ラッチ回路256は、マイナスインプリチャージ信号mpの反転信号によりイネーブル制御される。マイナスインプリチャージ信号mpは、図13に示すSW4制

御信号と同様のタイミングで変化する信号である。こうすることで、電圧 V C O M の変化する期間 T M 2 では、入力信号が入力されるバッファ回路 2 5 4 がディセーブル状態に設定されるため、入力信号を受け付けない。そのため、入力信号の誤った論理レベルを認識してしまうことがなくなる。

【 0 1 4 1 】

なお、マイナспリチャージ信号 m p によりラッチ回路 2 5 6 でラッチされた信号が出力される信号は、データ線駆動回路の接地電源電圧に固定されることが望ましい。データ線駆動回路の高電位側の電源電圧に固定されると、耐圧の問題が生じてしまうからである。

【 0 1 4 2 】

またコントローラ 5 0 では、極性反転タイミングが予め認識されていることから、コントローラ 5 0 がデータ線駆動回路 3 0、走査線駆動回路 4 0 及び電源回路 6 0 に対する制御信号の出力を停止し、かつその出力をシステム接地電源電圧（コントローラの低電位側の電源電圧）に固定することが望ましい。

【 0 1 4 3 】

また、このような入力制御回路 2 5 2 を設けることなく、差動で動作する入力信号を設けるようにすることも可能である。

【 0 1 4 4 】

2. その他

近年、情報機器の小型軽量化や高画質化の要求により、表示パネルの小型化、画素の微細化が望まれている。その 1 つの解決策として、低温ポリシリコン（Low Temperature Poly-Silicon：以下 L T P S と略す。）プロセスにより、表示パネルを形成することが検討されている。

【 0 1 4 5 】

L T P S プロセスによれば、スイッチ素子（例えば、薄膜トランジスタ（Thin Film Transistor：T F T））等を含む画素が形成されるパネル基板（例えばガラス基板）上に、駆動回路等を直接形成することができる。そのため、部品数を削減し、表示パネルの小型軽量化が可能となる。また L T P S では、これまでのシリコンプロセスの技術を応用して、開口率を維持したまま画素の微細化を図る

ことができる。更にまたLTPSは、アモルファスシリコン (amorphous silicon: a-Si) に比べて電荷の移動度が大きく、かつ寄生容量が小さい。したがって、画面サイズの拡大により1画素当たりの画素選択期間が短くなった場合でも、当該基板上に形成された画素の充電期間を確保し、画質の向上を図ることが可能となる。

【0146】

このようなLTPSプロセスにより形成された表示パネル（液晶パネル）に対しても、上述した実施形態を適用することができる。

【0147】

図15に、LTPSプロセスにより形成された液晶パネルの構成の概要を示す。LTPSプロセスにより形成された液晶パネル500は、複数の走査線と、複数のデータ線と、複数の画素とを含む。複数の走査線と複数のデータ線とは、互いに交差するように配置される。画素は、走査線とデータ線とにより特定される。

【0148】

液晶パネル500では、各走査線（GL）及び各データ線（DL）により3画素単位で選択される。選択された各画素には、データ線に対応する3本の色成分用データ線（R、G、B）のいずれかを伝送する各色成分用信号が書き込まれる。各画素は、TFTと画素電極とを含む。

【0149】

液晶パネル500では、例えばガラス基板等のパネル基板上に走査線及びデータ線が形成される。より具体的には、図15に示すパネル基板上に、Y方向に複数配列されそれぞれX方向に伸びる走査線GL₁～GL_Mと、X方向に複数配列されそれぞれY方向に伸びるデータ線DL₁～DL_Nとが形成されている。更に該パネル基板上には、X方向に第1～第3の色成分用データ線を1組として複数組配列されそれぞれY方向に伸びる色成分用データ線（R₁、G₁、B₁）～（R_N、G_N、B_N）が形成されている。

【0150】

走査線GL₁～GL_Mと、第1の色成分用データ線R₁～R_Nとの交差位置に

、R用画素（第1の色成分用画素） PR （ $PR_{11} \sim PR_{MN}$ ）が設けられている。走査線 $GL_1 \sim GL_M$ と、第2の色成分用データ線 $G_1 \sim G_N$ との交差位置に、G用画素（第2の色成分用画素） PG （ $PG_{11} \sim PG_{MN}$ ）が設けられている。走査線 $GL_1 \sim GL_M$ と、第3の色成分用データ線 $B_1 \sim B_N$ との交差位置に、B用画素（第3の色成分用画素） PB （ $PB_{11} \sim PB_{MN}$ ）が設けられている。

【0151】

R用画素 PR 、G用画素 PG 及びB用画素 PB は、それぞれ図1に示した画素 PE_{mn} と同様の構成であるため説明を省略する。

【0152】

また図15において、パネル基板上には、各データ線に対応して設けられたデマルチプレクサ（demultiplexer） $DMUX_1 \sim DMUX_N$ とが設けられている。デマルチプレクサ $DMUX_1 \sim DMUX_N$ には、デマルチプレクス制御信号が入力される。デマルチプレクス制御信号は、各デマルチプレクサのスイッチ制御を行うための信号である。

【0153】

ゲート信号 $GATE_1 \sim GATE_M$ は、それぞれ走査線 $GL_1 \sim GL_M$ に出力される。ゲート信号 $GATE_1 \sim GATE_M$ は、スタートパルス信号により開始される1フレームの垂直走査期間においていずれか1つがアクティブとなるパルス信号である。

【0154】

デマルチプレクス制御信号は、例えば上述の実施形態におけるデータ線駆動回路から供給される。またデータ線 $DL_1 \sim DL_N$ は、上述の実施形態におけるデータ線駆動回路により駆動される。データ線駆動回路は、色成分用画素ごとに時分割され各色成分の階調データに対応した電圧（データ信号）を、各色成分用データ線に出力する。そしてデータ線駆動回路は、時分割のタイミングに合わせて、各色成分の階調データに対応した電圧を各色成分用データ線に選択出力するためのデマルチプレクス制御信号を生成し、液晶パネル500に対して出力する。

【0155】

図 16 に、データ線駆動回路によりデータ線に出力されるデータ信号とデマルチプレクス制御信号との関係を模式的に示す。ここでは、データ線 DL_n に出力されたデータ信号 $DATA_n$ を示す。

【0156】

データ線駆動回路は、データ線ごとに、各色成分用の階調データ（表示データ）に対応した電圧が時分割により多重化されたデータ信号を出力する。図 16 では、データ線駆動回路は、R 用画素への書込信号、G 用画素への書込信号及び B 用画素への書込信号を多重化してデータ線 DL_n に出力する。ここで、R 用画素への書込信号は、データ線 DL_n に対応する R 用画素 $PR_{1n} \sim PR_{Mn}$ のうち、例えば走査線 GL_m により選択される R 用画素 PR_{mn} への書込信号である。G 用画素への書込信号は、データ線 DL_n に対応する G 用画素 $PG_{1n} \sim PG_{Mn}$ のうち、例えば走査線 GL_m により選択される G 用画素 PG_{mn} への書込信号である。B 用画素への書込信号は、データ線 DL_n に対応する B 用画素 $PB_{1n} \sim PB_{Mn}$ のうち、例えば走査線 GL_m により選択される B 用画素 PB_{mn} への書込信号である。

【0157】

またデータ線駆動回路は、データ信号 $DATA_n$ において多重化される各色成分用書込信号の時分割タイミングに合わせて、デマルチプレクス制御信号を生成する。デマルチプレクス制御信号は、第 1～第 3 のデマルチプレクス制御信号（ $Rsel$ 、 $Gsel$ 、 $Bsel$ ）からなる。

【0158】

またパネル基板には、データ線 DL_n に対応するデマルチプレクサ $DMUX_n$ が設けられている。デマルチプレクサ $DMUX_n$ は、第 1～第 3 のデマルチプレクス用スイッチ素子 $DSW1 \sim DSW3$ を含む。

【0159】

デマルチプレクサ $DMUX_n$ の出力側には、第 1～第 3 の色成分用データ線（ R_n 、 G_n 、 B_n ）が接続される。また、入力側には、データ線 DL_n が接続される。デマルチプレクサ $DMUX_n$ は、デマルチプレクス制御信号に応じて、データ線 DL_n と、第 1～第 3 の色成分用データ線（ R_n 、 G_n 、 B_n ）のいずれ

かとを、電氣的に接続する。デマルチプレクサ $DMUX_1 \sim DMUX_N$ には、それぞれ共通にデマルチプレクス制御信号が入力される。

【0160】

第1のデマルチプレクス用スイッチ素子 DSW_1 は、第1のデマルチプレクス制御信号 $Rsel$ によりオン・オフ制御される。第2のデマルチプレクス用スイッチ素子 DSW_2 は、第2のデマルチプレクス制御信号 $Gsel$ によりオン・オフ制御される。第3のデマルチプレクス用スイッチ素子 DSW_3 は、第3のデマルチプレクス制御信号 $Bsel$ によりオン・オフ制御される。第1～第3のデマルチプレクス制御信号 ($Rsel$ 、 $Gsel$ 、 $Bsel$) は周期的に順次アクティブとなる。そのため、デマルチプレクサ $DMUX_n$ は、周期的に、データ線 DL_n と第1～第3の色成分用データ線 (R_n 、 G_n 、 B_n) とを順次電氣的に接続する。

【0161】

このような構成の液晶パネル500において、時分割された第1～第3の色成分用の階調データに対応した電圧が、データ線 DL_n に出力される。デマルチプレクサ $DMUX_n$ では、時分割タイミングに合わせて生成された第1～第3のデマルチプレクス制御信号 ($Rsel$ 、 $Gsel$ 、 $Bsel$) により、各色成分の階調データに対応した電圧が、第1～第3の色成分用データ線 (R_n 、 G_n 、 B_n) に印加される。このとき、走査線 GL_m により選択された第1～第3の色成分用画素 (PR_{mn} 、 PG_{mn} 、 PB_{mn}) のいずれかにおいて、色成分用データ線と画素電極とが電氣的に接続される。

【0162】

以上のような構成の液晶パネル500に対しても、第1又は第2の実施形態における電源回路を適用することができる。

【0163】

図17に、液晶パネル500に第1及び第2の実施形態における電源回路を適用した場合の制御タイミングの一例を示す。ここでは、図7又は図11に示すように高電位側電源線に放電された電荷を蓄積すると共に、図12に示すように低電位側電源線に放電された電荷を蓄積する場合について示す。

【0164】

このように極性反転タイミングを含む所与の期間 $TM1$ 、 $TM2$ において、第1～第3のデマルチプレクス制御信号($Rsel$ 、 $Gsel$ 、 $Bsel$)が同時にオンとなる。より具体的には、コモン電極 COM の電圧 $VCOM$ が「L」レベルから「H」レベルに変化するタイミングを含む期間 $TM1$ と、電圧 $VCOM$ が「H」レベルから「L」レベルに変化するタイミングを含む期間 $TM2$ において、第1～第3の色成分用データ線(R_n 、 G_n 、 B_n)とデータ線 DL_n とが電氣的に接続される。したがって、期間 $TM1$ 、 $TM2$ において、第1～第3の色成分用データ線(R_n 、 G_n 、 B_n)とデータ線 DL_n とに蓄積された電荷の放電が行われることになる。

【0165】

なおデマルチプレクサ $DMUX_1 \sim DMUX_N$ のすべてを第1～第3のデマルチプレクス制御信号($Rsel$ 、 $Gsel$ 、 $Bsel$)により、各デマルチプレクサの第1～第3のデマルチプレクス用スイッチ素子 $DSW_1 \sim DSW_3$ を同時にオンにするようにしてもよいし、データ線がハイインピーダンス状態に設定されたデマルチプレクサのみの第1～第3のデマルチプレクス用スイッチ素子 $DSW_1 \sim DSW_3$ を同時にオンにするようにしてもよい。

【0166】

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【0167】

また、本発明のうち従属請求項に係る発明においては、従属先の請求項の構成要件の一部を省略する構成とすることもできる。また、本発明の1の独立請求項に係る発明の要部を、他の独立請求項に従属させることもできる。

【図面の簡単な説明】

【図1】 液晶装置の構成の概要を示す構成図。

【図2】 走査ライン反転駆動の説明図。

【図3】 データ線駆動回路の構成例を示すブロック図。

【図4】 データ線駆動回路の構成要部を示す構成図。

【図 5】 データ線から放電される場合について説明する図。

【図 6】 ボルテージフォロワ接続された演算増幅器の構成例を示す回路図

。

【図 7】 第 1 の実施形態における電源回路の構成の概要を示す構成図。

【図 8】 第 1 及び第 2 のスイッチ回路の制御タイミングの一例を示すタイミング図。

【図 9】 本変形例における電源回路の構成例を示す構成図。

【図 10】 第 1 ～第 3 のスイッチ回路の制御タイミングの一例を示すタイミング図。

【図 11】 図 9 の構成から第 3 のスイッチ回路を省略した場合の電源回路の構成例を示す構成図。

【図 12】 第 2 の実施形態における電源回路及びデータ線駆動回路の構成の要部を示す構成図。

【図 13】 第 4 及び第 5 のスイッチ回路の制御タイミングの一例を示すタイミング図。

【図 14】 入力制御回路の構成例を示す回路図。

【図 15】 LTPS プロセスにより形成された液晶パネルの構成の概要を示す構成図。

【図 16】 データ線駆動回路によりデータ線に出力されるデータ信号とマルチプレクス制御信号との関係を示す模式図。

【図 17】 LTPS プロセスにより形成された液晶パネルに第 1 及び第 2 の実施形態における電源回路を適用した場合の制御タイミングの一例を示すタイミング図。

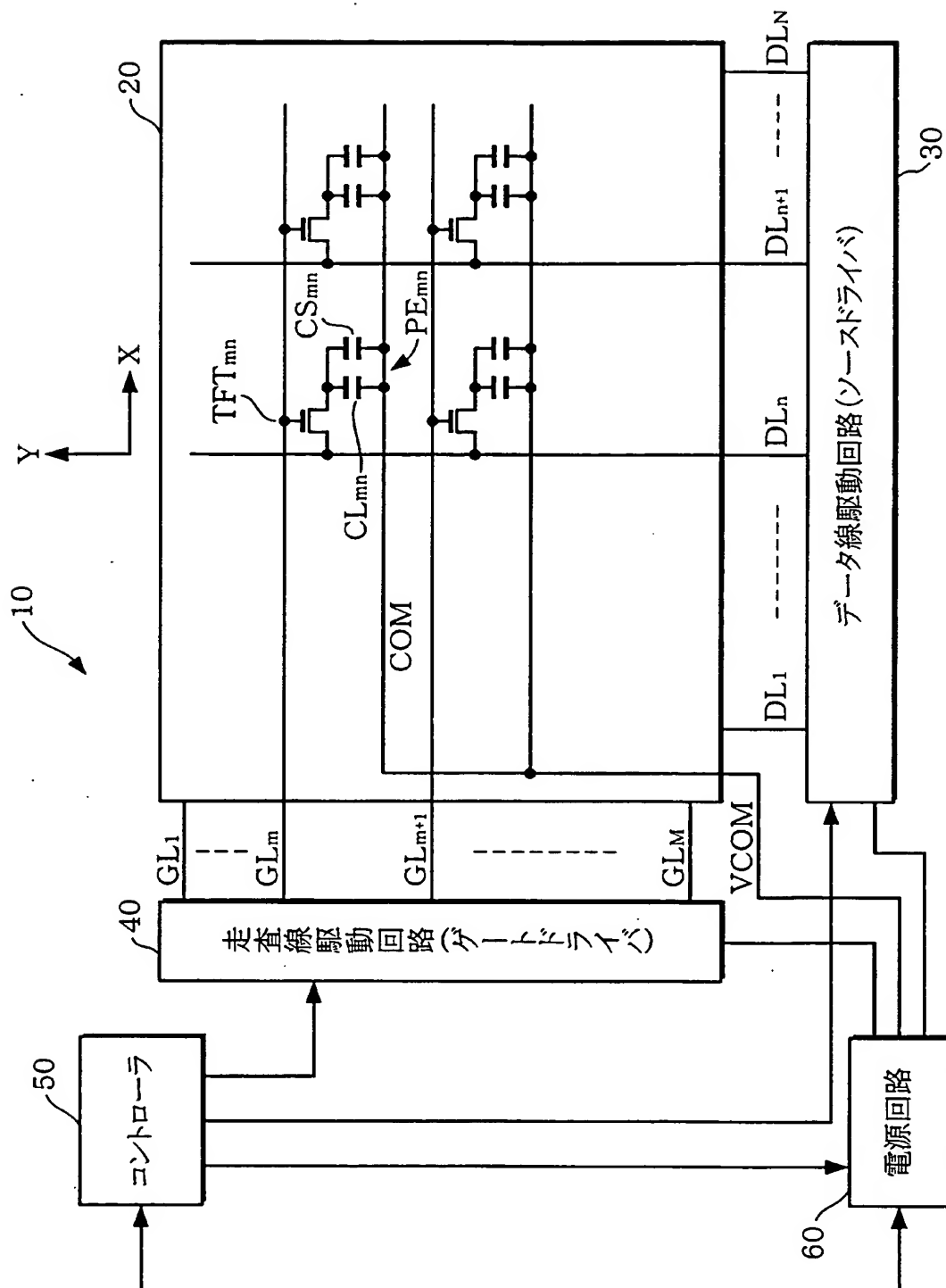
【符号の説明】

10 液晶装置、20、500 液晶パネル、30、250 データ線駆動回路（ソースドライバ）、31 データラッチ、32 L/S、33 基準電圧発生回路、34 DAC、35、35_n 出力回路、40 走査線駆動回路、41_n 差動増幅部、42_n 出力部、48_n 出力保護回路、50 コントローラ、60、100、200 電源回路、62 電圧発生回路、64、220 レギュ

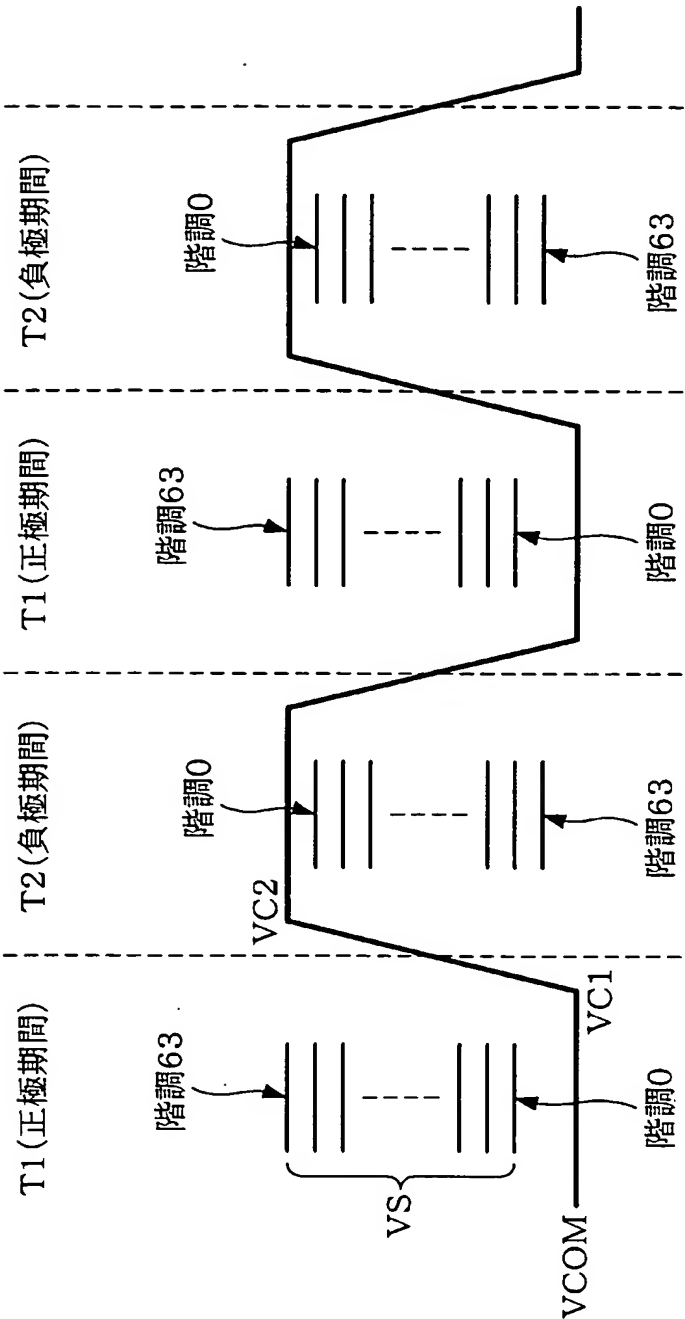
レータ（電圧調整回路）、1 0 2、2 2 2 ダイオード素子、2 5 2 入力制御
回路、2 5 4 バッファ回路、2 5 6 ラッチ回路

【書類名】 図面

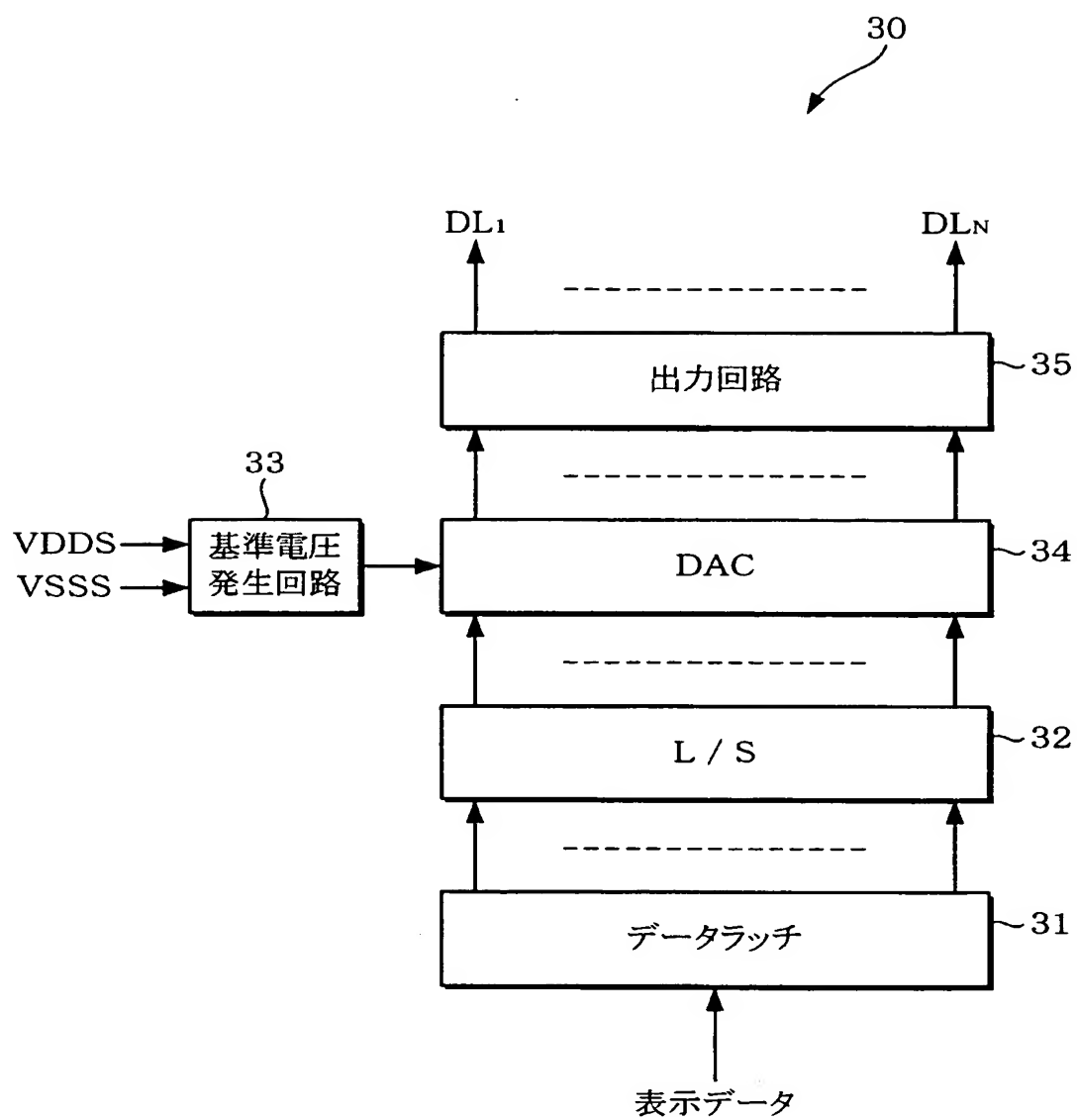
【図 1】



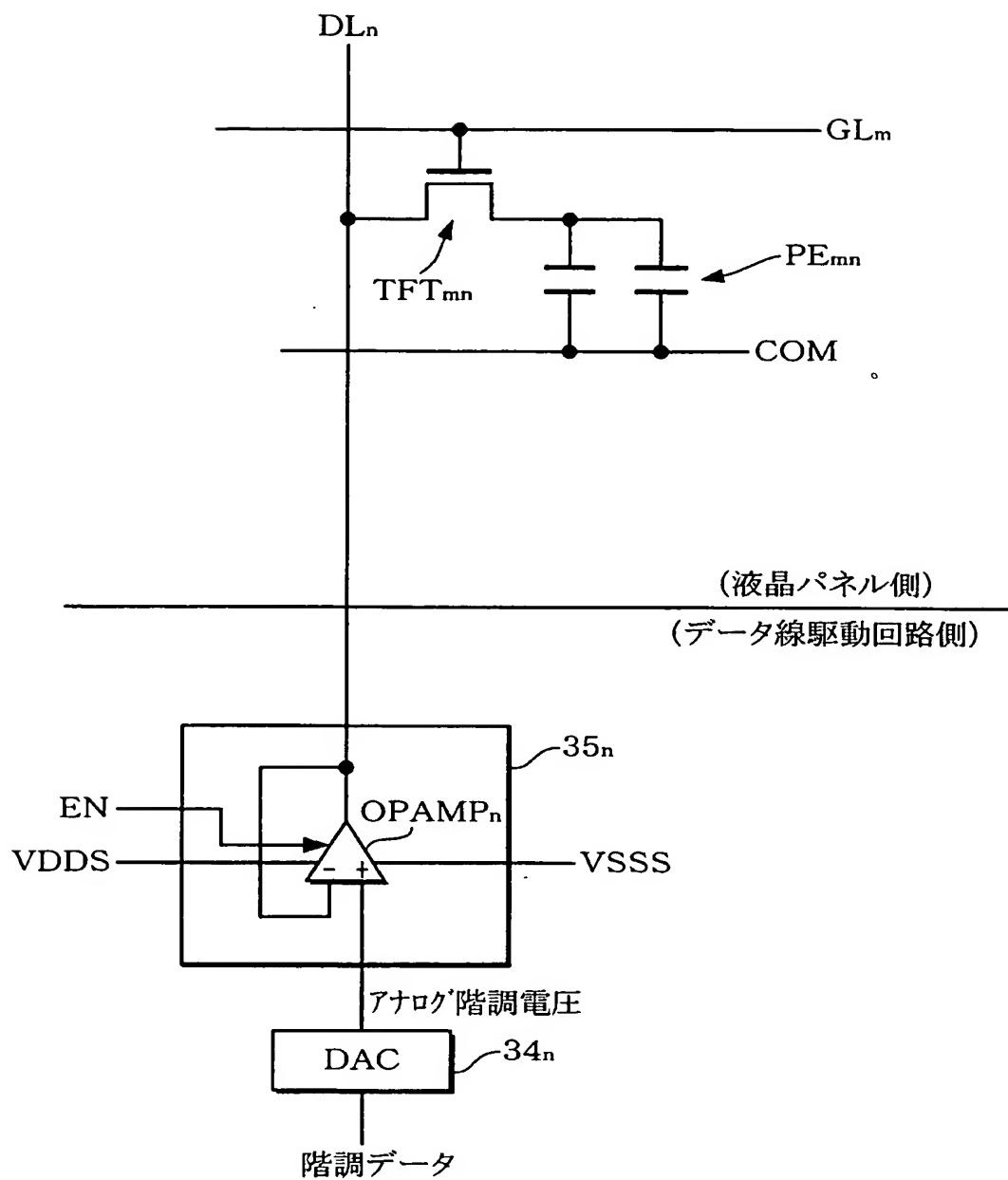
【図 2】



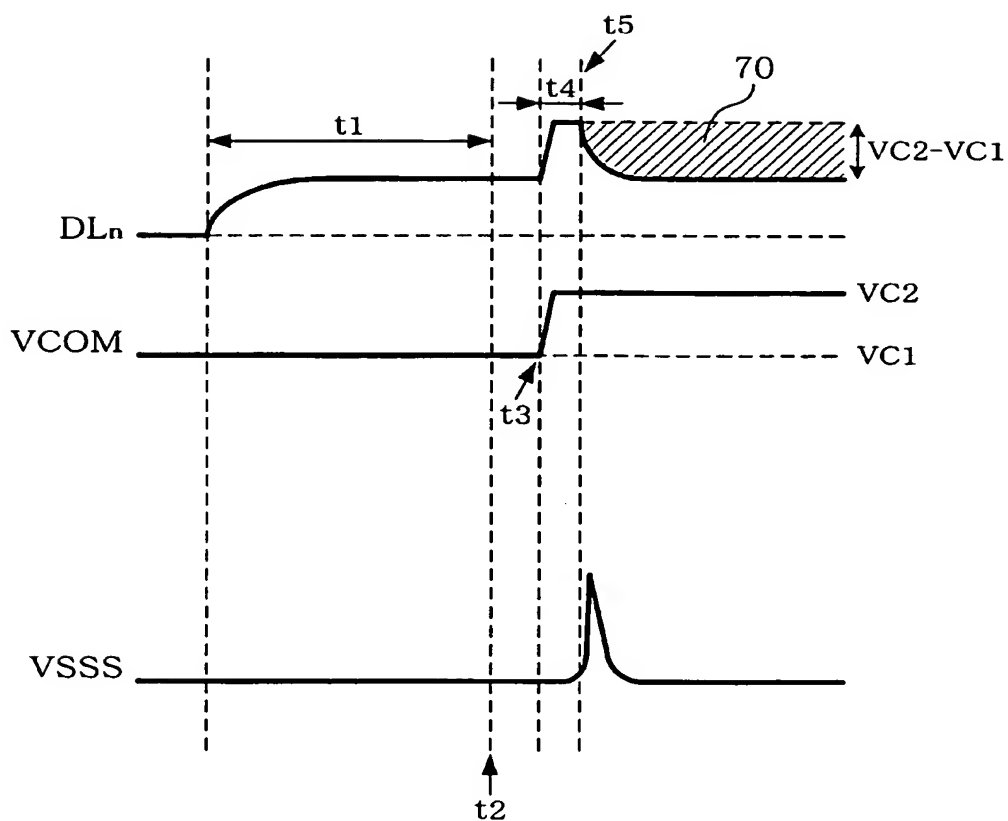
【図 3】



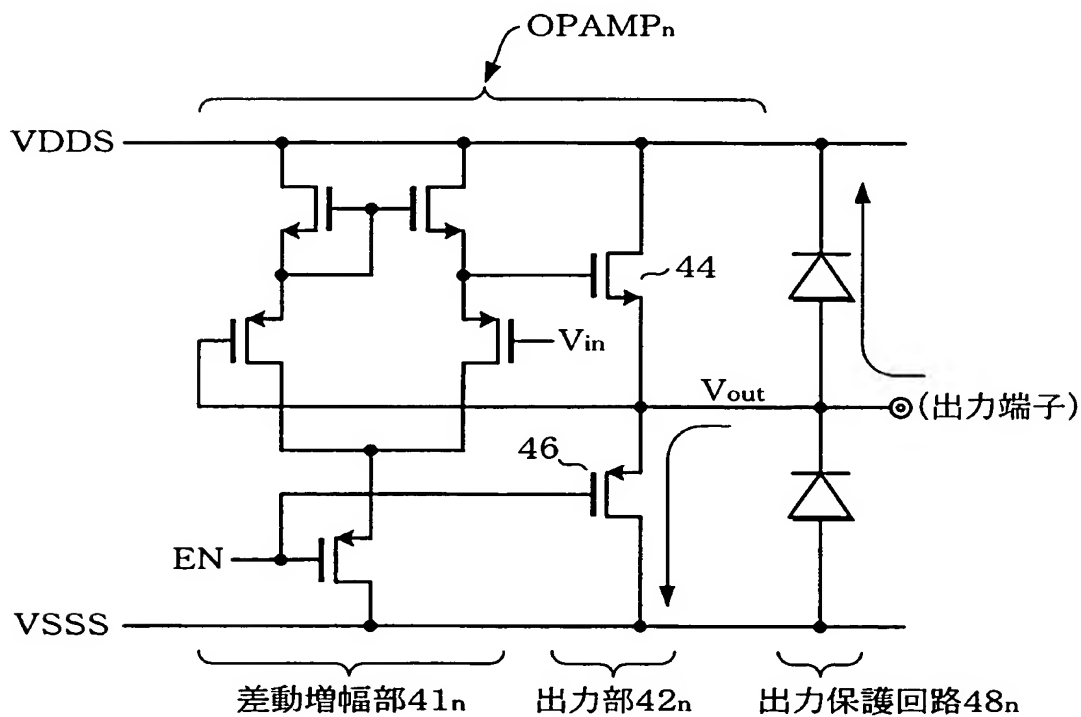
【図 4】



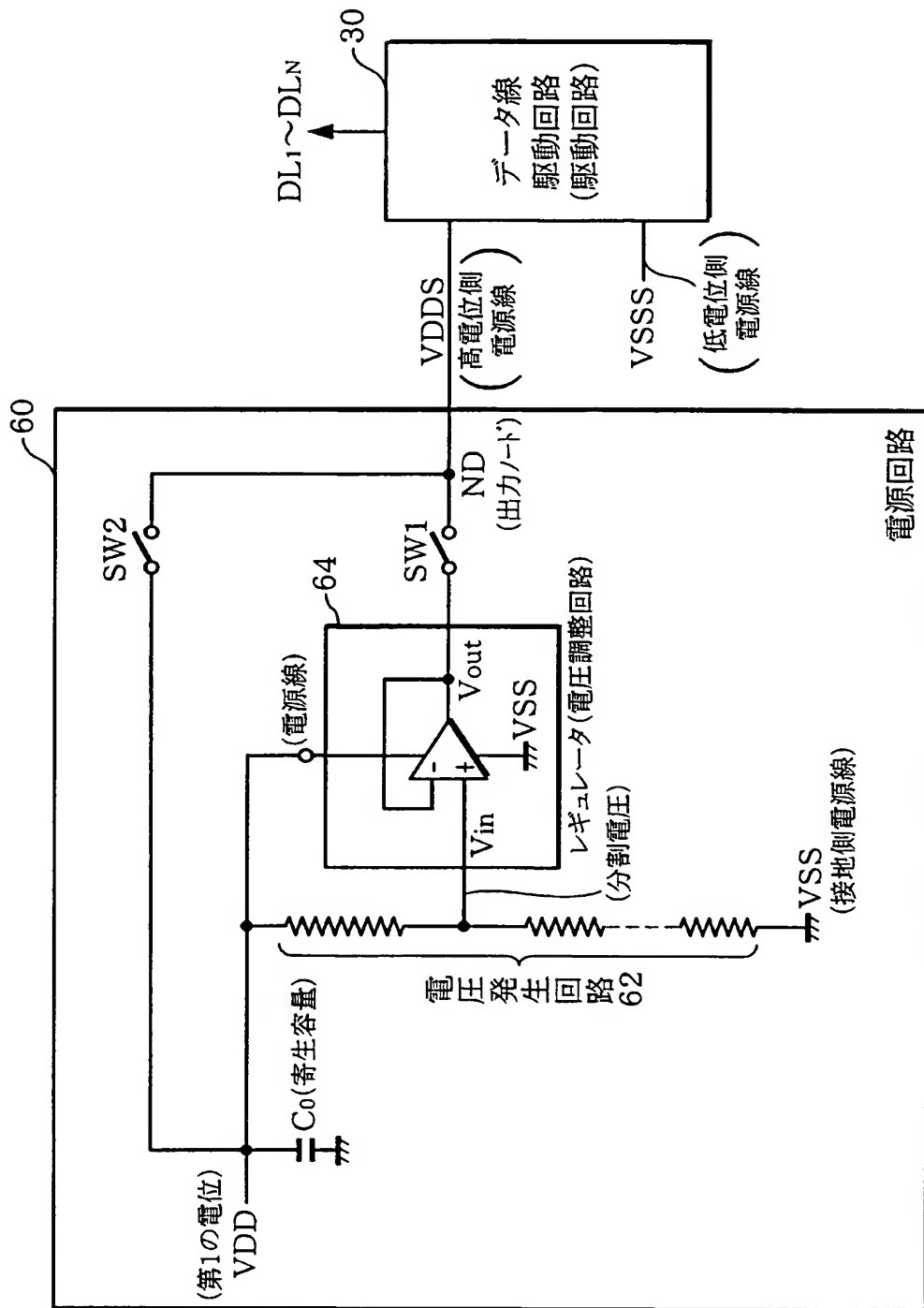
【図 5】



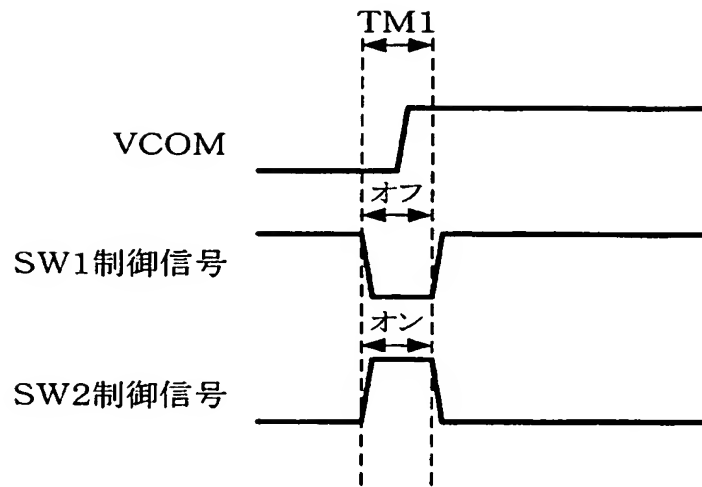
【図 6】



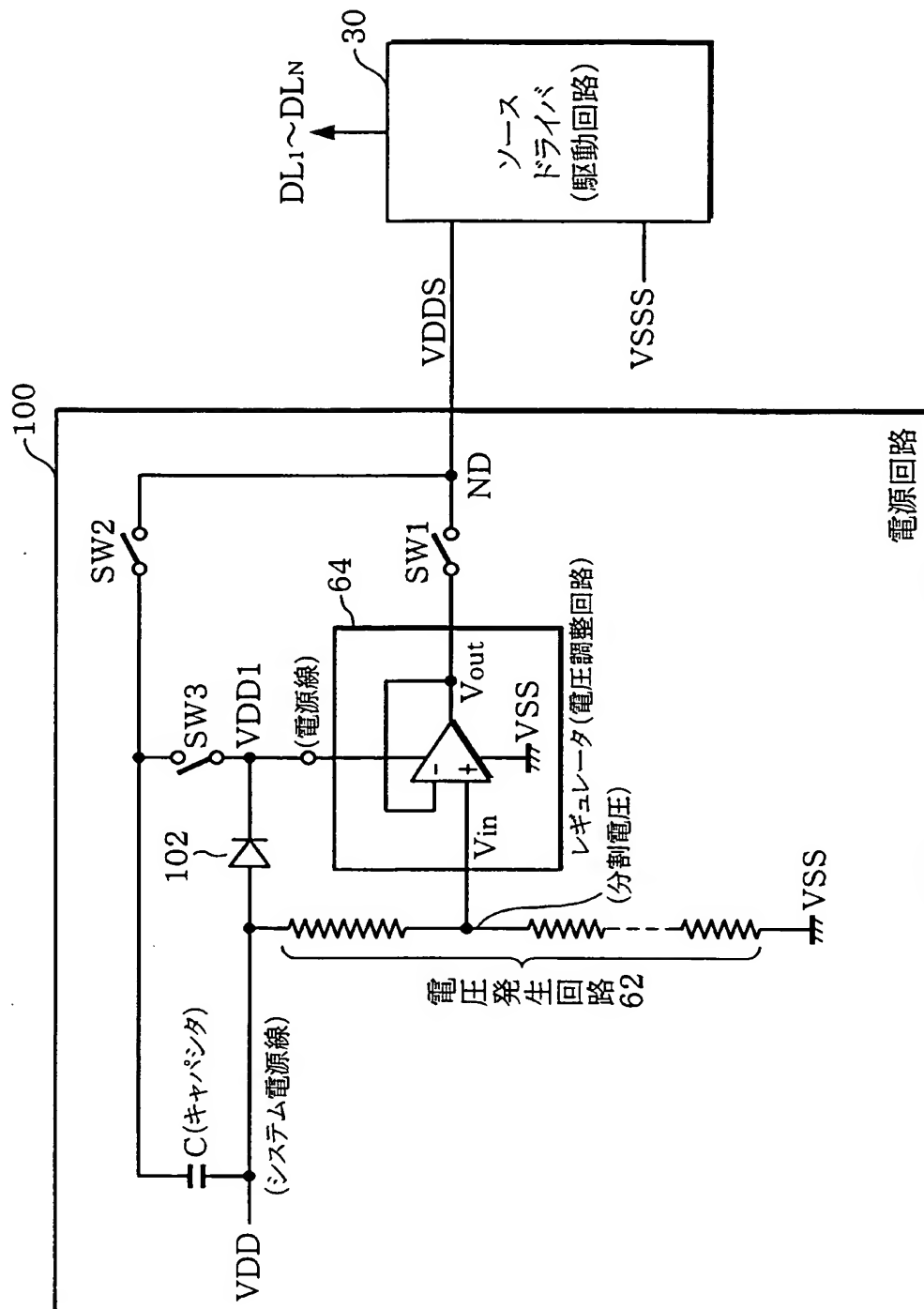
【図 7】



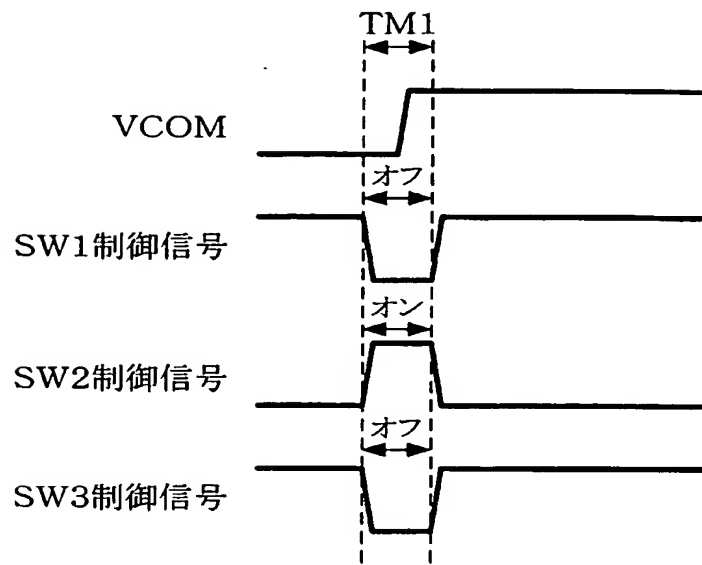
【図 8】



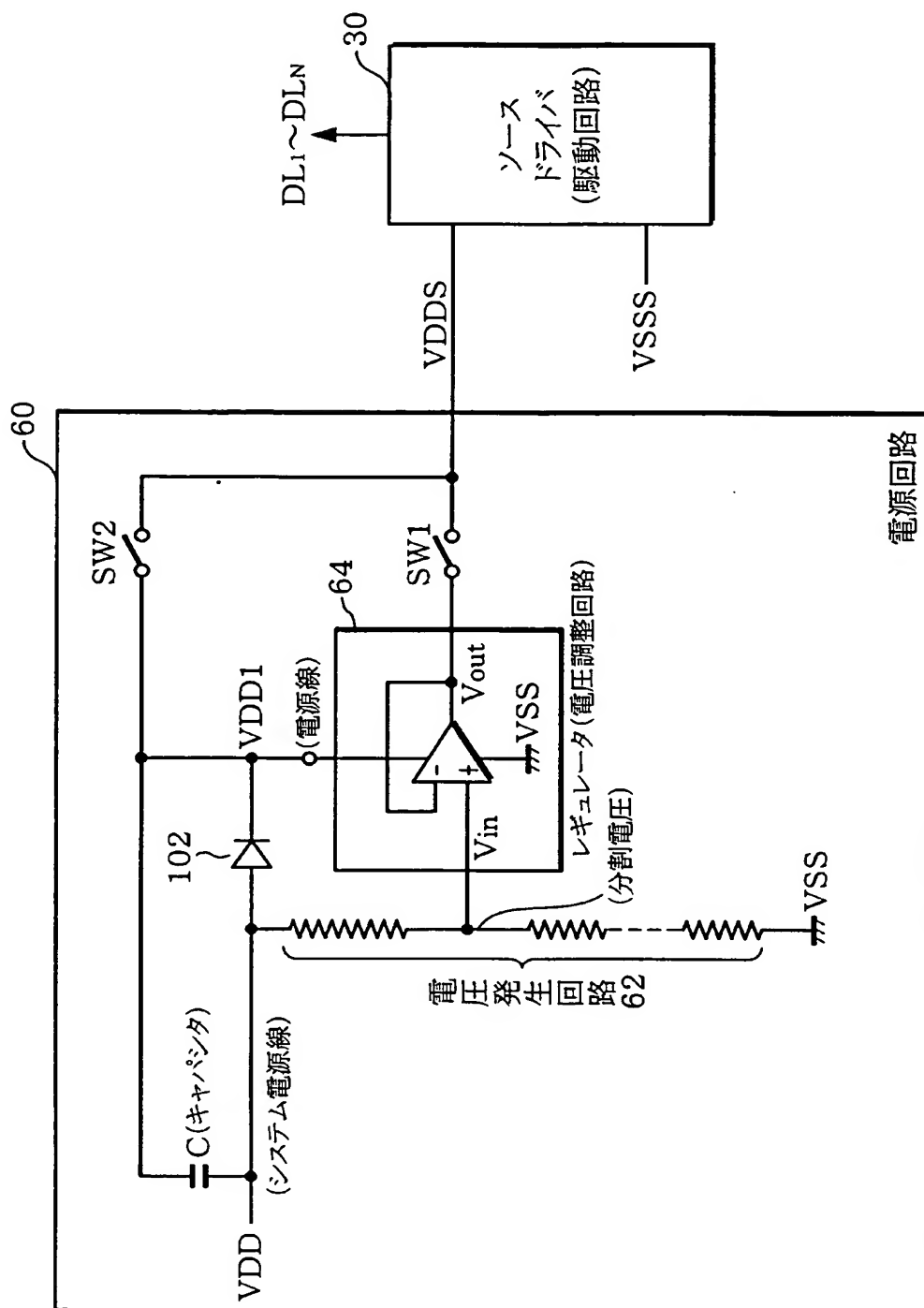
【図 9】



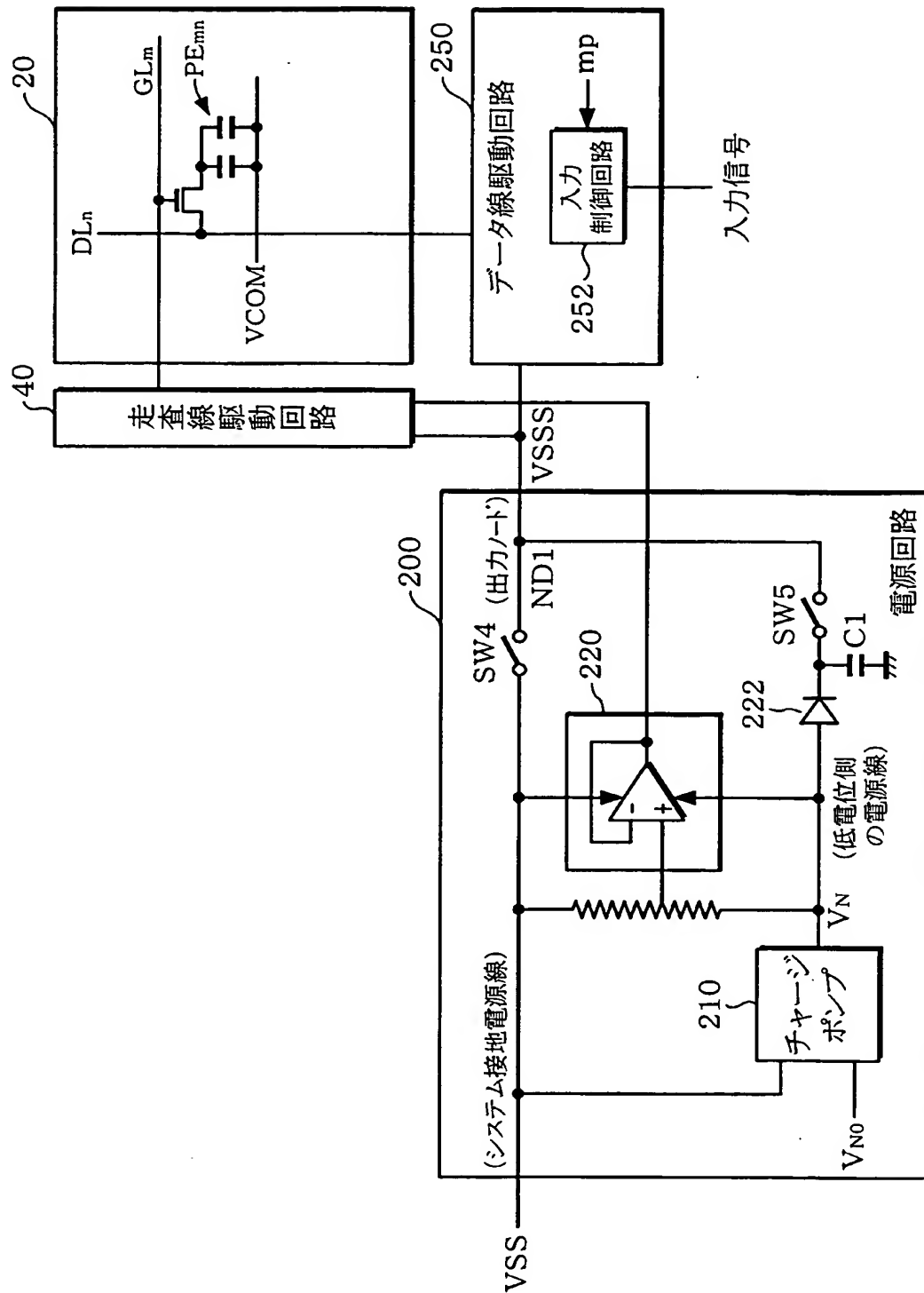
【図 10】



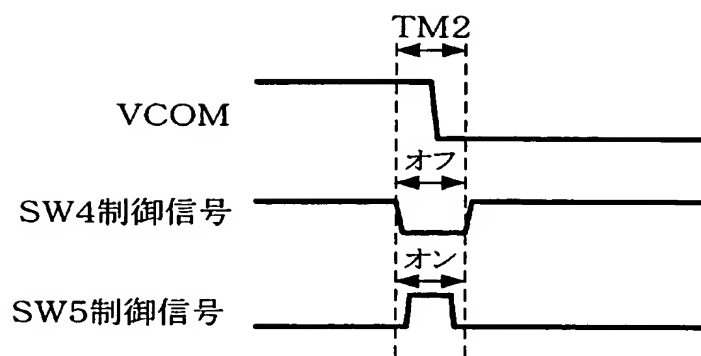
【図 11】



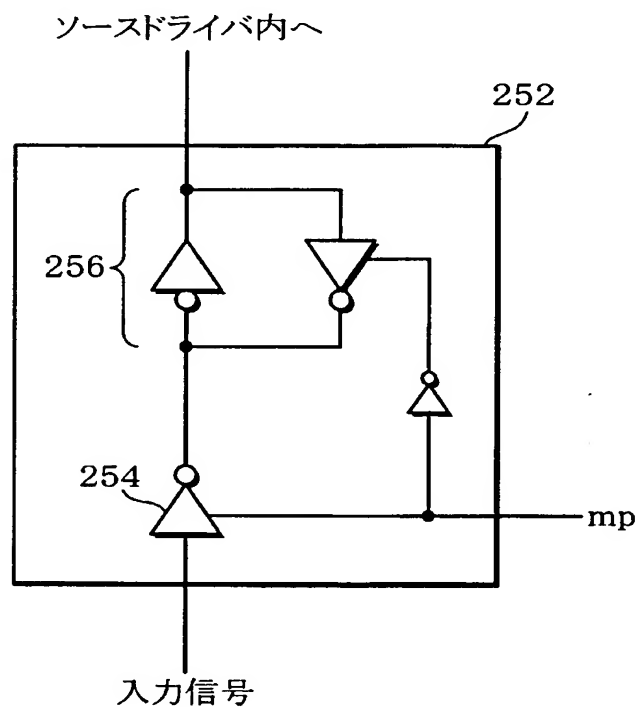
【図 12】



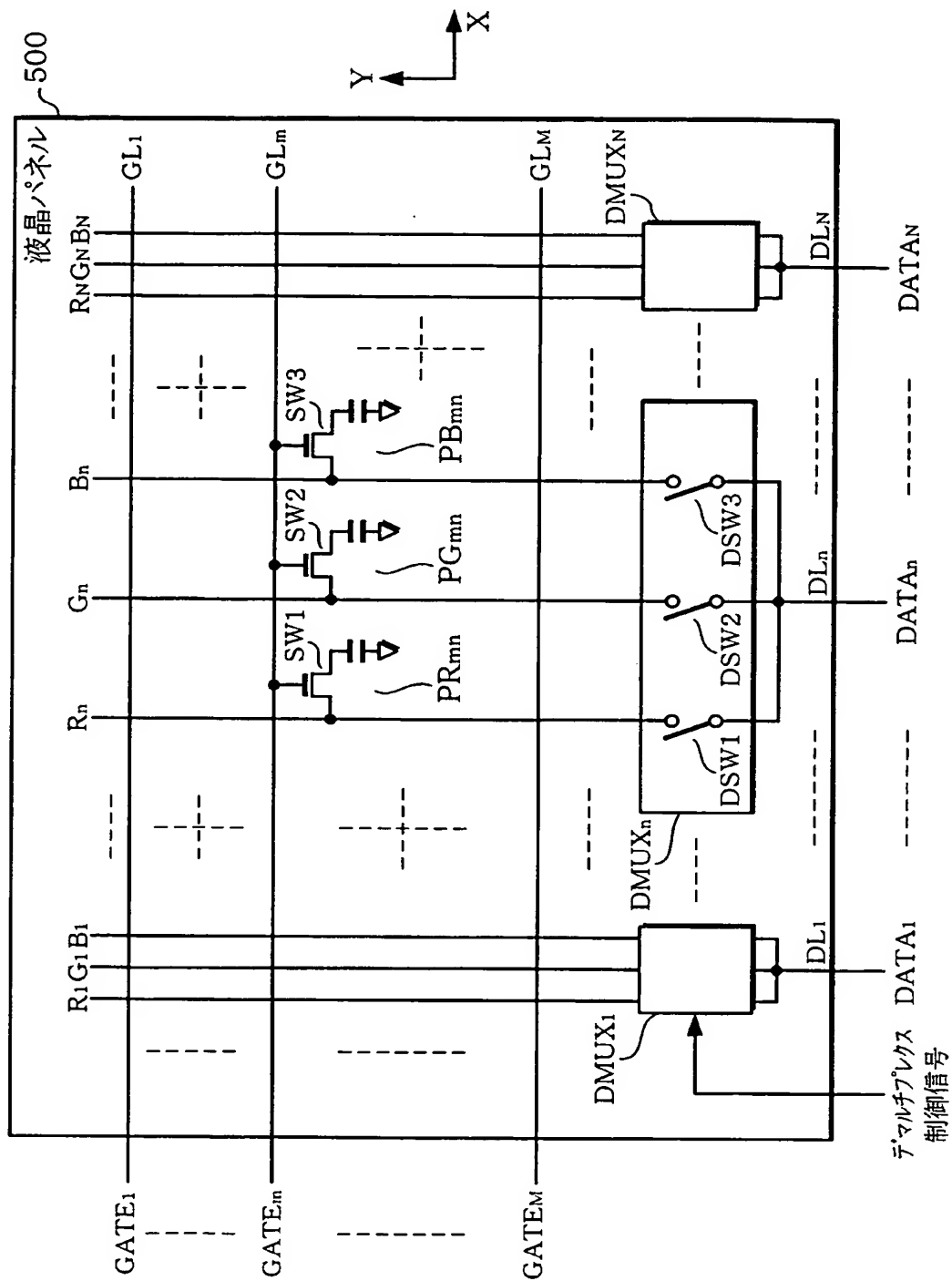
【図 13】



【図 14】

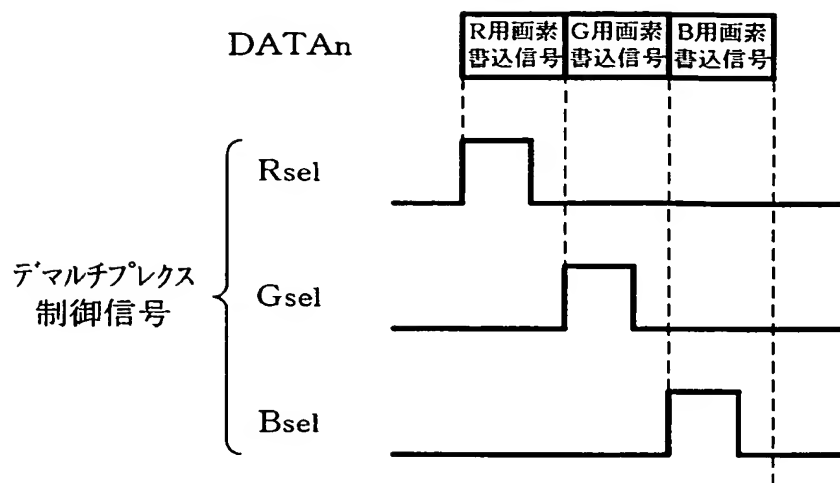


【図 15】

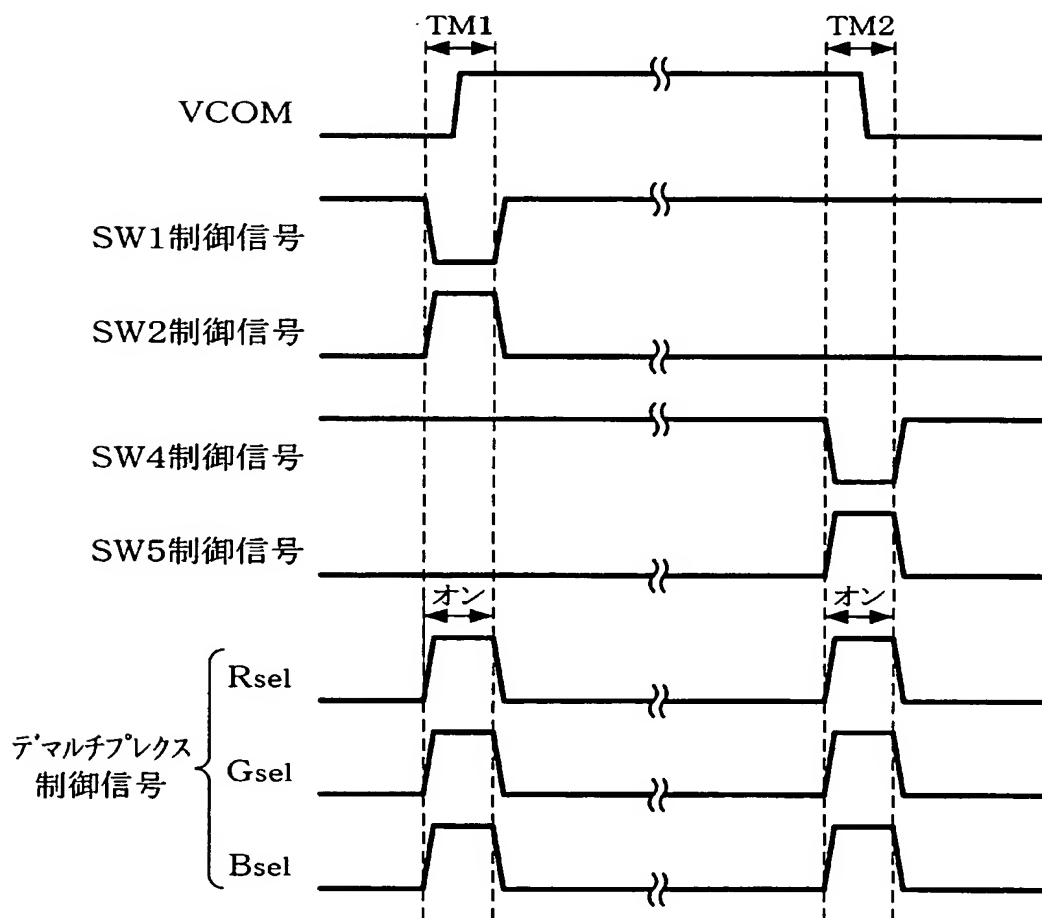




【図 16】



【図 17】





【書類名】 要約書

【要約】

【課題】 極性反転駆動によりデータ線から放電される電荷を利用して低消費電力化を図る電源供給方法及び電源回路を提供する。

【解決手段】 複数の画素と、複数の走査線と、複数のデータ線とを有する表示パネルの複数のデータ線 $DL_1 \sim DL_N$ を駆動するデータ線駆動回路 30 の高電位側の駆動電源電圧 V_{DD_S} を供給する。所与の期間において、データ線駆動回路 30 によるデータ線への出力をハイインピーダンス状態に設定し、データ線駆動回路 30 に供給される駆動電源電圧 V_{DD_S} を出力するレギュレータ 64 の電源線の寄生容量 C_0 に、データ線から放電された電荷に対応する電荷を蓄積する。所与の期間後に、寄生容量 C_0 に蓄積された電荷により発生した電圧を前記電源線に出力し、データ線駆動回路 30 の高電位側の駆動電源電圧 V_{DD_S} としてレギュレータ 64 により生成された電圧をデータ線駆動回路 30 に供給する。

【選択図】 図 7



特願 2 0 0 2 - 3 5 3 7 9 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社